



PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE
ESCUELA DE INGENIERÍA

**MODULACIÓN Y CONTROL
DISTRIBUIDO BASADOS EN CONSENSO
PARA CONVERTIDORES MODULARES
MULTINIVEL EN CASCADA CON
ALMACENAMIENTO DE ENERGÍA**

ÁLVARO FRANCISCO DONOSO BALLART

Tesis para optar al grado de
Magíster en Ciencias de la Ingeniería

Profesor Supervisor:
JAVIER PEREDA

Santiago de Chile, Diciembre 2022

© MMXV, ÁLVARO FRANCISCO DONOSO BALLART



PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE
ESCUELA DE INGENIERÍA

MODULACIÓN Y CONTROL DISTRIBUIDO BASADOS EN CONSENSO PARA CONVERTIDORES MODULARES MULTINIVEL EN CASCADA CON ALMACENAMIENTO DE ENERGÍA

ÁLVARO FRANCISCO DONOSO BALLART

Miembros del Comité:

JAVIER PEREDA

FELIPE NUÑEZ

ANDRÉS MORA

CARLOS BONILLA

Tesis para optar al grado de
Magíster en Ciencias de la Ingeniería

Santiago de Chile, Diciembre 2022

© MMXV, ÁLVARO FRANCISCO DONOSO BALLART

*Agradezco principalmente a mis
padres y hermanos, quienes me han
apoyado en todo momento.*

AGRADECIMIENTOS

Agradezco a mi profesor guía, Javier Pereda, por su apoyo y paciencia durante la investigación, con muy buena disposición para desarrollar y trabajar cada una de las dudas y problemas que surgieron durante mi postgrado.

Quiero agradecer a la Agencia Nacional de Investigación y Desarrollo (ANID), que mediante los proyectos ANID/PIA/ACT192013 y ANID/FONDAP/15110019 (SERC) me apoyo durante estos años con becas para el desarrollo de mi investigación.

ÍNDICE DE CONTENIDOS

AGRADECIMIENTOS	iv
ÍNDICE DE FIGURAS	viii
ÍNDICE DE TABLAS	xi
ABSTRACT	xii
RESUMEN	xiii
1. Introducción	1
1.1. Sistemas de almacenamiento de energía en baterías (BESS)	2
1.2. Conversores Modulares Multinivel en Cascada (MMCCs) integrado en BESS	5
1.3. Esquemas de control de los MMCCs	8
1.4. Contribución de la tesis	9
1.4.1. Hipótesis	9
1.4.2. Objetivos	10
1.4.3. Metodología	11
1.4.4. Estructura de la Tesis	12
2. Esquemas de control centralizados, descentralizados y distribuidos	14
2.1. Esquema de control centralizado	17
2.2. Esquemas de control descentralizados	18
2.2.1. Control descentralizado sin CC	18
2.2.2. Control descentralizado con CC	19
2.3. Esquemas de control distribuido	20
2.3.1. Control distribuido con LCs distintos	22
2.3.2. Control distribuido con LCs idénticos	22
2.4. Conclusión del capítulo	23

3.	Control del conversor CHB	24
3.1.	Modelo conversor CHB	25
3.1.1.	Modelo de tiempo continuo	25
3.1.2.	Entrada de control	26
3.1.3.	Modelo de tiempo discreto	26
3.2.	Control de corriente secuencial PS-MPC	28
3.2.1.	Problema global de control óptimo	29
3.2.2.	Modelo promedio secuencial	29
3.2.3.	Problema de control óptimo secuencial	30
3.2.4.	Diseño propuesto de referencia de la señal de control	31
3.3.	Control de potencia y estado de carga (SoC) de las baterías	32
3.4.	Conclusión de capítulo	35
4.	Control Distribuido Propuesto	36
4.1.	Protocolo de comunicación	39
4.2.	Tareas de cada controlador local	40
4.3.	Sincronización de portadoras	42
4.3.1.	Asignación de posición	44
4.3.2.	Conteo de SMs	45
4.3.3.	Conclusión del capítulo	46
5.	Implementación Experimental	47
5.1.	Implementación de hardware	47
5.1.1.	Descripción de LCs utilizados	48
5.1.2.	Placa interfaz SM-LC	49
5.2.	Implementación de software	53
5.2.1.	PS-MPC	54
5.2.2.	Bucle de fase bloqueada (PLL)	57
5.2.3.	Control de potencia	60
5.3.	Conclusión del capítulo	61

6. Resultados Experimentales	62
6.1. Sincronización de portadoras	63
6.2. Control de corriente PS-MPC	66
6.3. Análisis de espectro de frecuencia	66
6.4. Conexión y desconexión de SMs	68
6.5. Control de potencia	70
7. Conclusiones	73
Referencias	77

ANEXO	83
A. Nomenclaturas	84
Convertor CHB	84
PS-MPC	84
Control estado de carga	85
Algoritmos de sincronización	85

ÍNDICE DE FIGURAS

1.1	Estructura convencional de un BESS conectado a la red de media tensión (MV)	2
3figure.1.2		
1.3	Convertidores Modulares Multinivel en Cascada (MMCCs) integrado en BESS. (a) Conversor YCHB. (b) Conversor DCHB. (c) MMC con baterías centralizadas. (d) MMC con baterías distribuidas.	5
2.1	Estructura general de un sistema de control típico de un MMCC.	14
2.2	Estructura de un sistema de control con aplicación en BESS	15
2.3	Clasificación de los esquemas de control	16
2.4	Topologías de comunicación	17
2.5	Clasificación de los principales esquemas de control (Topología de comunicación). (a) Centralizado. (b) Descentralizado sin CC. (c) Descentralizado con CC (Estrella). (d) Distribuido con LCs distintos (Anillo). (e) Distribuido con LCs no idénticos (Bus).	21
3.1	Diagrama de circuito de una topología de convertidor CHB de N-SMs.	24
3.2	Principio de funcionamiento del PS-PWM en modo de doble actualización para un convertidor CHB de cuatro SMs.	28
3.3	Diagrama de bloques del control de estado de carga de las batería integrado al PS-MPC.	33
4.1	Diagrama temporal de las principales tareas del control distribuido propuesto.	37
4.2	Diagrama esquemático de los procesos de control y comunicación de cada LC.	41

4.3	Algoritmos para la asignación de posiciones. (a) Etapa “Synchronization”. (b) Etapa “Reception”.	44
4.4	Algoritmos para el conteo de SMs. (a) Etapa “Synchronization”. (b) Etapa “Reception.	45
5.1	Prototipo experimental.	47
5.2	Placa PCB de interfaz LC-SM. (a) Modelo 3D. (b) Diseño de PCB	50
5.3	Circuito acondicionador de señal.	51
5.4	Conexión experimental de controlador local integrado a un submódulo del cluster.	52
5.5	Esquema experimental del control distribuido propuesto en un cluster del convertor CHB conectado a la red.	53
5.6	PLL monofásico basado en un integrador generalizado de segundo orden (SOGI-PLL).	57
6.1	Sincronización de portadoras ante un cambio en el número de SMs conectados. (a) Conexión SM_2 (Ch2). (b) Desconexión SM_1 (Ch1).	64
6.2	Respuesta dinámica experimental en lazo cerrado del PS-MPC ante un escalón de corriente de $4A$ a $6A$, bajo el algoritmo de sincronización propuesto. (a) 3 SMs activos. (b) 4 SMs activos.	65
6.3	Rendimiento experimental en lazo cerrado en estado estacionario del PS-MPC bajo el algoritmo de sincronización propuesto. (a) Resultado con 3 SMs activos, (b) Resultado con 4 SMs activos.	67
6.4	Resultados experimentales de la respuesta del sistema a un cambio en el número de SMs conectados. (a) Resultado ante la conexión de un SM, (b) Resultado ante la desconexión de un SM.	69

6.5	Comparación de los resultados experimentales y de simulación del equilibrio del SOC de la batería durante la descarga. (a) Resultado experimental de la potencia entregada por cada SM, (b) Resultado de simulación de la potencia entregada por cada SM, (c) Resultado de simulación del SOC de la batería.	71
-----	--	----

ÍNDICE DE TABLAS

4.1	Comparación de los protocolos de comunicación utilizados en esquemas de control descentralizados y distribuidos. Ref: (1) 1231212312	39
6.1	Parámetros de sistema	62

ABSTRACT

The increasing use of renewable energy sources has highlighted the importance of battery energy storage systems (BESS) to mitigate the power imbalances that arise due to their variable and intermittent nature. Modular multilevel cascade converters (MMCC) are presented as one of the most attractive candidates for BESS applications, mainly due to their inherent modular structure. However, this modularity is limited by the highly centralized control schemes currently used. For this reason, recent studies present decentralized and distributed control schemes, which seek to overcome the disadvantages of centralized controls, but no one manages to take full advantage of the modularity of MMCCs.

To address this issue, a fully distributed cooperative control scheme for one cluster is proposed in this thesis, in which a set of identical and independent local controllers (LCs), one for each submodule (SM), achieve the control objectives through consensus. The proposed scheme is composed of a model predictive control (MPC) strategy, a battery state-of-charge (SoC) control and a synchronization algorithm of the LCs.

The proposed distributed control and modulation is novel and allows to connect and disconnect any SM without stopping the converter operation, and to integrate an automatic adjustment in the modulation of the control signals, which provides scalability and invariable performance at the converter output, independent of the number of active SMs. The proposal is experimentally validated in a cluster of a CHB converter connected to the grid, thus demonstrating the ability to take full advantage of the modularity of MMCCs.

Keywords: Distributed control, modular multilevel cascade converter (MMCC), cascaded H-bridge (CHB), model predictive control (MPC), battery SoC balancing.

RESUMEN

El creciente uso de fuentes de energía renovables ha puesto en evidencia la importancia de los sistemas de almacenamiento de energía en baterías (BESS) para mitigar los desequilibrios de potencia que surgen debido a su naturaleza variable e intermitente. Los convertidores modulares multinivel en cascada (MMCC) se presentan como uno de los candidatos más atractivos para aplicaciones BESS, principalmente debido a su estructura modular inherente. Sin embargo, esta modularidad se ve limitada por los esquemas de control altamente centralizados utilizados en la actualidad. Por ello, estudios recientes presentan esquemas de control descentralizados y distribuidos, que buscan superar las desventajas de los controles centralizados, pero ninguno logra aprovechar al máximo la modularidad de los MMCCs.

Para solucionar este problema, en esta tesis se propone un esquema de control totalmente distribuido cooperativo, en el cual un conjunto de controladores locales (LC), idénticos e independientes, adosados a cada uno de los submódulos (SM), logran los objetivos de control mediante consenso. El esquema propuesto se compone de una estrategia de control predictivo de modelo (MPC), un control de estado de carga (SoC) de las baterías y un algoritmo de sincronización de los LCs.

La novedad de esta propuesta permite desconectar y conectar cualquier SM sin detener el funcionamiento del convertidor, y la integración de un ajuste automático en la modulación de las señales de control, lo cual proporciona escalabilidad y un rendimiento invariable a la salida del convertidor, independiente del número de SMs activos. La propuesta se valida de forma experimental en un cluster de un conversor CHB conectado a la red, con lo cual se evidencia la capacidad de aprovechar por completo la modularidad de los MMCCs.

Palabras Claves: Control distribuido, conversor modular multinivel en cascada (MMCC), puente H en cascada (CHB), control predictivo de modelos (MPC), equilibrio del SoC de la batería.

1. INTRODUCCIÓN

La transformación de energía se ha vuelto una parte fundamental en la vida de los seres humanos, de hecho sin ella no se podrían ejecutar gran parte de las tareas cotidianas. Como consecuencia del aumento de la población mundial y de la continua búsqueda de mejores estándares de vida, el consumo mundial de energía está aumentando a un ritmo vertiginoso (Zobaa & Bose, 2011). Por esta razón, es necesaria la ampliación de fuentes de generación de energía, junto con el desarrollo de tecnologías que permitan su almacenamiento y uso eficiente. La mayor parte de la energía utilizada procede de los combustibles fósiles, los cuales son uno de los causantes de la problemática del calentamiento global, debido a la emisión de gases de efecto invernadero (Hannan et al., 2019). Por esta y otras razones, las tendencias modernas en el sector energético mundial se dirigen hacia la generación de energía en base a recursos energéticos renovables (Kurbatova & Perederii, 2020), como la energía eólica, solar, hidroeléctrica, geotérmica, biomasa y energías oceánicas (Pali & Vadhera, 2016). En el año 2019 se instalaron más de 200 GW de nueva capacidad de energías renovables, correspondiente a un 75% del total de adiciones de capacidad de generación a nivel mundial. De ello, se evidencia un mayor interés en la integración de energía solar fotovoltaica y eólica, con un 57% y un 30% del total de adición de capacidad de generación, respectivamente (*Renewables Global Status Report*, 2022).

El aumento considerable en la generación de energías renovables trae consigo nuevos desafíos para los operadores de red, donde una de las mayores preocupaciones se relaciona con aquellas que son de naturaleza intermitente, como la energía solar y eólica (Shafiullah, Oo, Jarvis, Ali, & Wolfs, 2010). La intermitencia se debe a que son energías que dependen de factores medioambientales externos variables que no se pueden controlar. Esta incertidumbre en la producción de energías renovables dificulta la satisfacción de las fluctuantes demandas eléctricas de la sociedad, limitando el crecimiento de su integración.

Dentro de las soluciones más relevantes que se ofrecen a la problemática anteriormente descrita, se encuentran los sistemas de almacenamiento de energía. Estos utilizan

tecnologías capaces de capturar la energía producida y conservarla para su uso en un momento posterior, con el fin de reducir los desequilibrios energéticos entre la demanda y la producción, siendo ideales para compensar la intermitencia de las energías renovable, permitiendo su integración confiable y segura (Showers & Raji, 2019). Dentro de los diversos métodos de almacenamiento de energía, el sistema de almacenamiento de energía en baterías (BESS) es actualmente la solución más utilizada y de mayor interés (G. Wang et al., 2016).

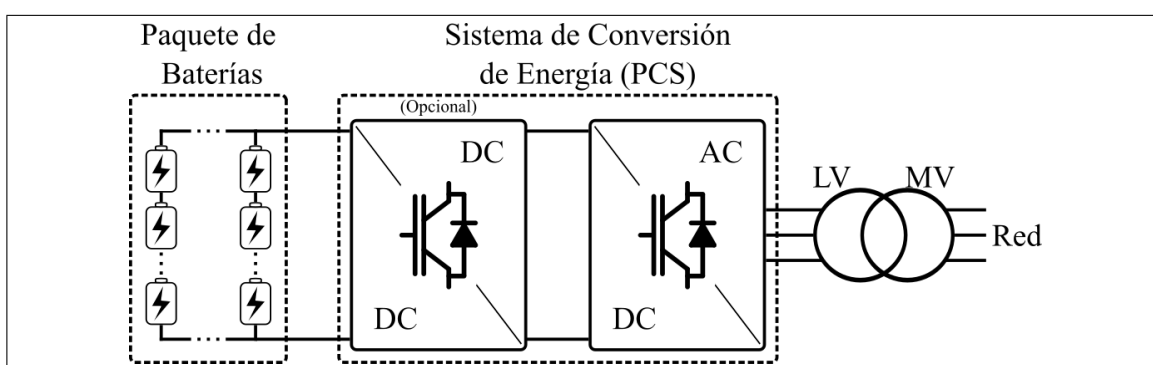


Figura 1.1. Estructura convencional de un BESS conectado a la red de media tensión (MV)

1.1. Sistemas de almacenamiento de energía en baterías (BESS)

La Fig. 1.1 muestra la estructura y los componentes de hardware más importantes para una instalación BESS conectada a la red, un paquete de baterías y un sistema de conversión de energía (PCS) (Delavari, Kamwa, & Zabihinejad, 2017). Por un lado, el paquete de baterías se compone de celdas conectadas en serie y en paralelo. Entre ellas, las celdas de Ion-litio son las más utilizadas en sistemas a gran escala, alcanzando más de un 90% del total de tecnologías para BESS en EE. UU. (*Battery Storage in the United States: An Update on Market Trends*, 2020). Lo anterior, gracias a las nuevas tecnologías que se han desarrollado, las que ofrecen mejoras en cuanto al coste, seguridad, ciclo de vida y rendimiento (del Valle et al., 2018).

Por otro lado, los PCS son los encargados de transformar la energía DC proveniente de los paquetes de baterías e inyectarla a la red AC de media tensión (MV). Los PCS enfrentan desafíos importantes para la integración de BESS, principalmente debido a la variación significativa de voltaje de las baterías en base a su estado de carga (SoC). Por ello, comúnmente se incluye una etapa DC/DC para desacoplar las baterías del enlace DC del inversor, mejorando la vida útil de estas y el dimensionamiento del inversor (G. Wang et al., 2016). Sin embargo, esta etapa extra añade complejidad, costes y puede provocar pérdidas de energía adicionales, por lo que esta elección debe ser justificada en base a la etapa DC/AC utilizada y a los problemas técnicos o de funcionamiento del sistema (Stecca, Elizondo, Soeiro, Bauer, & Palensky, 2020). En esta línea, la fiabilidad y eficiencia de la etapa DC/AC adquiere gran importancia en la integración de BESS.

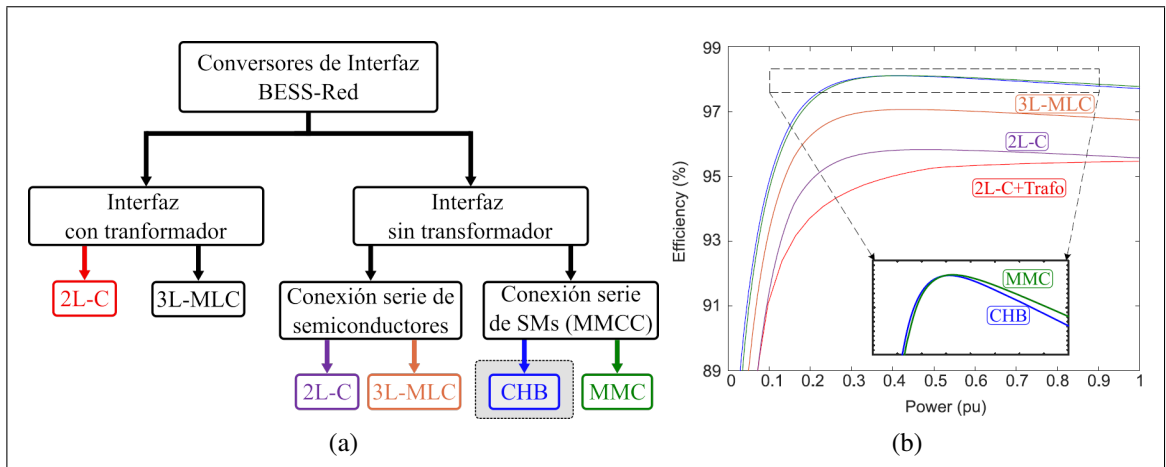


Figura 1.2. Convertidores de interfaz BESS-red. (a) Diagrama con las principales topologías, (b) Gráfico comparativo de la eficiencia de los convertidores (G. Wang et al., 2016).

En la Fig. 1.2a se presenta un diagrama con las principales topologías de convertidores de interfaz BESS-Red. Los convertidores de 2 niveles (2L-C) son los preferidos en la industria para la conexión de BESS a la red de MV (Stecca et al., 2020). Otras alternativas utilizadas son los convertidores multinivel de 3 niveles (3L-MLC) como el NPC, ANPC and FC. Estos proporcionan un nivel extra que permite aumentar la magnitud del voltaje a

la salida del conversor y mejorar el rendimiento armónico, pero requieren de técnicas de control y modulación más complicadas que los 2L-C (G. Wang et al., 2016).

Los conversores de 2 y 3 niveles descritos anteriormente requieren de un transformador elevador para conectarse a la red de MV, el cual es costoso, voluminoso y genera pérdidas de potencia (Farivar et al., 2022). Para evitar esta problemática se han desarrollado soluciones que permiten conectar de forma directa los conversores a la red de MV. Una solución es utilizar la conexión en serie de semiconductores, lo cual puede entenderse como un único semiconductor capaz de bloquear niveles de voltaje más altos. Esta configuración sigue permitiendo el uso de los 2L-C y los 3L-MLC sin necesidad de un transformador elevador. Sin embargo, esta topología aumenta la complejidad de los circuitos de accionamiento, ya que deben garantizar la sincronización entre los semiconductores, lo que se dificulta al aumentar el número de semiconductores en serie. Además, para limitar las pérdidas de conmutación, esta topología debe operar a bajas frecuencias de conmutación, lo cual aumenta los requisitos de filtrado del conversor (Xavier et al., 2019).

Otra solución, para evitar el uso de un transformador elevador, es la conexión en serie de submódulos (SM), comúnmente conocidos como conversores modulares multinivel en cascada (MMCC). Estas topologías permiten añadir SMs adicionales al diseño para proporcionar redundancia, lo que aumenta la fiabilidad del sistema. El elevado número de niveles de voltaje permite tener una excelente calidad de corriente de salida con un mínimo esfuerzo de filtrado (Hillers & Biela, 2013). Además, en los MMCCs es posible subdividir la cadena de baterías, lo que facilita el tratamiento del desequilibrio del SoC de estas (Xavier et al., 2019). Incluso, en (G. Wang et al., 2016) se realiza un estudio comparativo de eficiencia de cada una de las topologías, cuyos resultados se observan en la fig. 1.2b. En esos, se aprecia una clara ventaja por parte de los MMCCs (CHB, MMC).

En conclusión, diversos estudios demuestran las ventajas de los MMCCs para la integración de BESS. La siguiente sección presenta las topologías de MMCCs más utilizadas en esta aplicación.

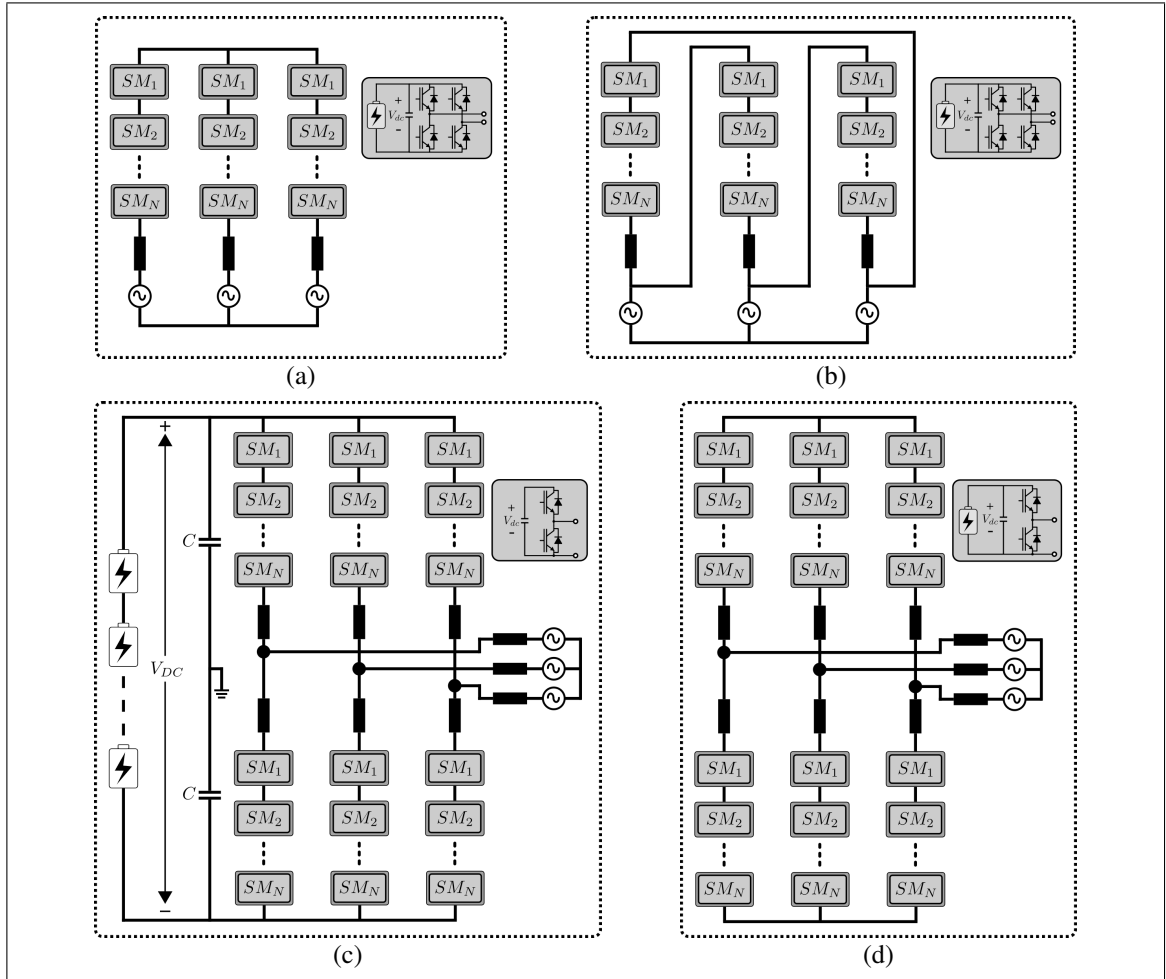


Figura 1.3. Conversores Modulares Multinivel en Cascada (MMCCs) integrado en BESS. (a) Conversor YCHB. (b) Conversor DCHB. (c) MMC con baterías centralizadas. (d) MMC con baterías distribuidas.

1.2. Conversores Modulares Multinivel en Cascada (MMCCs) integrado en BESS

Como concepto general, la familia de los MMCC se caracteriza por generar un voltaje de varios niveles a la salida, basado en una estructura modular y de conexión en cascada de SMs. Por lo tanto, en base a la configuración de los SMs y de los cluster existen diversas topologías. A continuación, se describen las topologías más utilizadas y discutidas para la integración de BESS, las que se muestran en la Fig. 1.3.

- **Conversor de puente H en cascada conectado en estrella (YCHB)**

El convertor YCHB, como se muestra en la Fig. 1.3a, se compone de múltiples SMs conectados en cascada, llamados cluster. Los BESS a escala de servicios públicos se componen por cientos de módulos de baterías, por lo cual, los módulos de baterías pueden distribuirse equivalentemente en cada SM del convertor YCHB. Además, cada SM es capaz de regular el flujo de energía de cada grupo de baterías conectadas a su dc-link respectivo. Por otro lado, la inclusión de una etapa DC/DC en cada SM es controversial. Muchos trabajos no utilizan esta etapa para su funcionamiento, pero otros sostienen que es conveniente utilizarla para mejorar al vida útil de las baterías (Xavier et al., 2019). Otra ventaja importante de esta topología consiste en que, si se utilizan SMs redundantes, en caso de falla de las baterías, solo hay que reparar un módulo de baterías, en lugar de una cadena de módulos interconectados (G. Wang et al., 2016).

- **Convertor de puente H en cascada conectado en delta (DCHB)**

La Fig. 1.3b muestra la topología del convertor DCHB, el cual posee una estructura similar al convertor YCHB, pero en este caso, cada cluster está conectado en una configuración delta a la red trifásica, por lo que no tiene neutro. Como ventaja, respecto al YDCHB, esta topología posee una corriente circulante que permite intercambiar energía entre fases (Xavier et al., 2019). Esta capacidad de balance de potencia fue principalmente creada para aplicación STATCOM en el año 2004 (Peng & Wang, 2004), pero actualmente también se ha estudiado su aplicación en BESS (Dragoun, Talla, & Košan, 2021).

- **Convertor Modular Multinivel (MMC) con baterías centralizadas**

Los MMC con baterías centralizadas presentan una topología en cascada alternativa para la integración de BESS. La Fig. 1.3c muestra su configuración, donde se observa que cada cluster está compuesto por SMs de medio puente. Debido a la variación en el SoC de las baterías, el voltaje en el DC-link no es fijo, por lo que el voltaje nominal del convertor debe estar sobredimensionado para compensar estas variaciones (G. Wang et al., 2016). Consecuentemente, las largas

cadenas de baterías que requiere esta topología anulan la mayoría de las ventajas de la estructura en cascada para la integración de los BESS (Farivar et al., 2022).

- **Convertor Modular Multinivel (MMC) con baterías distribuidas**

Para aprovechar la modularidad de los MMC se utiliza la configuración mostrada en la Fig. 1.3d, donde las baterías se conectan a cada uno de los SMs del convertor, representando una aplicación más factible para la implementación de BESS (Farivar et al., 2022). Esta topología cuenta con las mismas ventajas inherentes de los convertidores CHB (Xavier et al., 2019). Además, cuenta con una corriente circulante en los clusters de fase del convertor que puede utilizarse para equilibrar el SoC de las baterías entre clusters, o compensar un cluster en caso de falla de algún módulo de batería. Esto es una ventaja en comparación con el convertidor CHB, ya que la corriente es interna y no afectaría a la salida del convertor. Sin embargo, esta ventaja se obtiene en perjuicio de las pérdidas de conducción y conmutación, las cuales aumentan en esta topología (G. Wang et al., 2016).

En base a las características de cada uno de los convertidores estudiados, se desprende que los sistemas con baterías distribuidas son los más atractivos para la integración de BESS, ya que es posible subdividir la cadena de baterías en cada uno de los SMs del convertor. Por otro lado, para un determinado voltaje a la salida, los MMC poseen algunas desventajas en comparación con los convertidores CHB, ya que requieren de más semiconductores y de capacitores más grandes por cluster. Esto último, debido a que son convertidores que están expuestos a mayores fluctuaciones de corriente que los CHB (Hillers, Stojadinovic, & Biela, 2015). Por lo tanto, cuando se busca una conexión de un BESS a la red de MV, la complejidad y coste adicional de los MMC los sitúa en una posición de desventaja con respecto a los CHB (Farivar et al., 2022).

Por su parte, dentro de los CHB, la configuración YCHB es preferida, ya que permite minimizar el número de SMs conectados y, en la actualidad, se han estudiado técnicas para poder trabajar bajo desbalance entre fases (Marzo, Sanchez-Ruiz, Barrena, Abad, & Muguruza, 2021)(Cuzmar, Pereda, & Aguilera, 2021).

1.3. Esquemas de control de los MMCCs

Por lo general, los MMCCs utilizan un esquema de control centralizado, dado que es sencillo implementar el control global del convertidor y la coordinación de las operaciones de las señales de conmutación de los SMs (Kong, Holmes, & McGrath, 2011). De esta forma, todas las mediciones, controles y protecciones se centralizan en un procesador potente. Sin embargo, con una gran cantidad de SMs activos aumenta considerablemente la carga computacional y comunicacional del controlador central (CC), por lo que el tiempo disponible para ejecutar las tareas en cada periodo podría ser insuficiente para realizar los cálculos de control (Xia et al., 2019). En consecuencia, los esquemas de control centralizado limitan la modularidad y escalabilidad inherente de los MMCCs (Yang, Tang, & Wang, 2018).

Por lo anteriormente descrito, es que en la actualidad se han estudiado esquemas de control que pretenden superar las desventajas del control centralizado, con el desafío de mantener sus ventajas inherentes. Estos esquemas buscan distribuir las tareas de control en distintos controladores, los que, al integrarlos directamente en cada uno de los SMs, son conocidos como controladores locales (LC). En esta línea, uno de los mayores desafíos para los esquemas de control no centralizados es lograr la sincronía en la conmutación de los SMs, debido a la tolerancia de fabricación de los osciladores de cristal, lo cual genera una desincronización continua en los distintos controladores. La importancia de la sincronización radica en que, sin esta, aumentan considerablemente los armónicos del convertidor y se deteriora el funcionamiento general de los MMCCs (H. Wang, Yang, Chen, Feng, & Blaabjerg, 2020).

La literatura presenta diversos esquemas de control no centralizados, los que se clasifican en descentralizados y distribuidos. Entre ellos, los esquemas descentralizados son los más comunes. Estas estructuras de control, por lo general, utilizan un CC encargado de ejecutar tareas de alto nivel y de enviar valores de referencia de modulación a los LCs, los que suelen encargarse únicamente de generar las señales de conmutación (J. Liu, Yao, Lu,

& Ma, 2018), con el objetivo de repartir la carga computacional con el CC. Incluso, nuevas investigaciones integran nuevas tareas de control en los LCs (Çiftçi et al., 2021) (Wu, Su, Shie, & Cheng, 2019), disminuyendo aún más la carga computacional del CC. Sin embargo, estos trabajos aún presentan gran dependencia del CC, lo cual limita la estructura modular de los MMCCs. Por su parte, investigaciones recientes, mediante esquemas de control distribuido, logran prescindir de un CC, utilizando solo controladores distribuidos en cada uno de los SMs, los cuales logran los objetivos de control de forma cooperativa (Xu et al., 2021) (Phan et al., 2021). Sin embargo, existe una dependencia entre sus LCs que impide aprovechar por completo la modularidad inherente de los MMCCs.

1.4. Contribución de la tesis

La contribución de esta tesis se centra en la implementación de un esquema de modulación y control distribuido en un cluster del convertidor CHB. Se propone un nuevo esquema de control que aprovecha al máximo la modularidad inherente del convertidor, permitiendo la conexión y desconexión flexible de SMs en función de las necesidades del operador o en respuesta a la falla de uno de los SMs del convertidor. La detección de fallas no es parte de esta tesis. Finalmente, el esquema propuesto se implementa de forma experimental en un cluster del convertidor CHB con una aplicación en BESS.

1.4.1. Hipótesis

La hipótesis central de este trabajo declara que:

H Una modulación y control totalmente distribuido cooperativo permite utilizar por completo la modularidad inherente de los MMCCs, y operar cada SM con potencias independientes y con tolerancia a fallas.

Con el objetivo de comprobar o rechazar la hipótesis central, se proponen las siguientes hipótesis parciales:

- H_1 Una modulación y control totalmente distribuido cooperativo con LCs idénticos permite la independencia de sus controladores, pudiendo conectar y desconectar SMs sin necesidad de detener el funcionamiento del convertidor.
- H_2 Una estrategia de modulación dinámica permite mantener las características del voltaje a la salida del cluster, independiente del número de SMs conectados, garantizando la escalabilidad del sistema.
- H_3 Una estrategia de reparto de potencia distribuida permite implementar un control de estado de carga (SoC) de las baterías, que opera de forma independiente en cada SM del cluster.

1.4.2. Objetivos

Objetivo general: Proponer, desarrollar e implementar experimentalmente un nuevo esquema de modulación y control totalmente distribuido cooperativo que complemente la modularidad inherente de los MMCCs con baterías distribuidas en cada SM, permitiendo, de esta forma, una tolerancia natural a fallas y una operación independiente de potencias por SM.

Las mejoras mencionadas pretenden aprovechar por completo la modularidad de los MMCCs, permitiendo la conexión y desconexión flexible de SMs sin necesidad de detener el funcionamiento del convertidor, manteniendo sus características de operación.

Objetivos específicos:

- O_1 Analizar los esquemas de modulación y control actualmente estudiados y proponer uno nuevo con ventajas sustanciales sobre el resto.
- O_2 Proponer un control de corriente compatible con el esquema de modulación y control distribuido propuesto.
- O_3 Implementar un control de equilibrio de estado de carga (SoC) de las baterías distribuidas en los SMs del convertidor.

- O_4 Desarrollar una estrategia de sincronización y modulación dinámica que permita conectar y desconectar SMs de forma flexible, garantizar la escalabilidad del sistema y mantener invariable las características de funcionamiento del convertidor independiente del número de SMs conectados.
- O_5 Implementar la modulación y control propuesto en un prototipo experimental compuesto por un cluster monofásico de un convertidor CHB.

1.4.3. Metodología

Con la finalidad de verificar el cumplimiento de los objetivos y validar o refutar las hipótesis planteadas para este trabajo, se inicia con una revisión bibliográfica de los esquemas de control no centralizados, donde se destacan aquellos problemas que aún no han sido resueltos y/o abordados. Luego, se presenta la formulación y una propuesta de esquema de control distribuido para un cluster de un convertidor CHB. Finalmente, se realiza una implementación experimental para verificar el funcionamiento del control propuesto. Para ello, se utiliza la siguiente metodología y variables de evaluación.

- (i) Metodología de evaluación: Se presenta de forma experimental mediante las siguientes pruebas:
- Funcionalidad del esquema de sincronización de portadoras (Análisis estacionario y dinámico).
 - Operación dinámica del control de corriente en distintos puntos de operación.
 - Comparación, en estado estacionario, de la operación del convertidor con distinto número de SMs activos.
 - Dinámica del control frente a un cambio en el número de SMs activos.
 - Operación del convertidor frente a estados de carga distintos en cada uno de los SMs.
- (ii) Variables de evaluación: En base a la prueba realizada se analizan las siguientes variables del convertidor:

- Fase y periodo de las portadoras de cada SM.
- Voltaje de la red, para verificar la correcta inyección de potencia.
- Corriente inyectada a la red (amplitud y dinámica).
- Voltaje del cluster, revisión de simetría y número de niveles generados.
- Espectro de frecuencia del voltaje del cluster. Análisis y comparación con distinto número de SMs activos.
- Potencia entregada por cada SMs frente a estados de carga distinto.
- Estado de carga de las baterías en simulación. Análisis de la dinámica del control propuesto.

1.4.4. Estructura de la Tesis

En el **Capítulo 2** se realiza una revisión, clasificación y definición propia de los esquemas de control existentes en la literatura. Además, se analiza cada una de sus ventajas y desventajas para su implementación en un MMCCs.

En el **Capítulo 3** se presenta el modelo matemático de un convertor CHB y las propuestas de control de corriente y estado de carga de las baterías, que serán implementadas de forma experimental.

En el **Capítulo 4** se propone un esquema de control distribuido bajo la teoría del consenso de controladores idénticos adosados a cada uno de los SMs del convertor CHB. Además, se describe el protocolo de comunicación que permite su implementación y los algoritmos encargados de la sincronización.

En el **Capítulo 5** se describe el hardware utilizado y se desarrollan las modificaciones pertinentes para la implementación experimental del control distribuido propuesto.

En el **Capítulo 6** se presentan los resultados experimentales de un cluster de un convertor CHB conectado a la red. Además, se realiza un análisis de cada uno de los resultados en base a los objetivos propuestos.

Finalmente, en el **Capítulo 7** se exponen las conclusiones y un análisis final del funcionamiento del esquema de control distribuido propuesto.

2. ESQUEMAS DE CONTROL CENTRALIZADOS, DESCENTRALIZADOS Y DISTRIBUIDOS

La operación de los convertidores modulares multinivel en cascada (MMCC) requiere de determinadas etapas de control para lograr los diferentes objetivos, dependiendo de la aplicación y la topología del convertidor. El sistema de control típico se muestra en la Fig. 2.1. Se presentan tres etapas principales de control, presentadas en los bloques grises. Las variables i^* , i_z^* , v^* y s representan la corriente de referencia del lado AC del convertidor, las corrientes circulantes, el voltaje de referencia y las señales de conmutación, respectivamente.

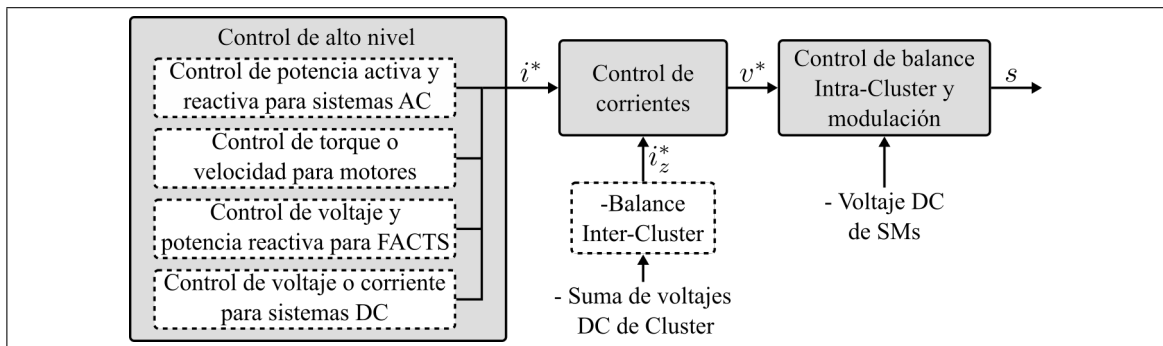


Figura 2.1. Estructura general de un sistema de control típico de un MMCC.

A continuación, se realiza una breve descripción de cada una de las etapas de control:

- **Control de alto nivel:** La naturaleza de esta etapa está relacionada directamente con la aplicación del convertidor utilizado. En la Fig. 2.1 se aprecian posibles objetivos de control.
- **Control de corrientes:** Es una etapa fundamental para el funcionamiento del convertidor, ya que determina el punto de operación y el rango de potencia de este. Las referencias de corrientes circulantes se obtienen a partir de un bloque de balance Inter-Cluster, el cual garantiza la igualdad de la energía almacenada en cada uno de los cluster.

- Control de balance Intra-Cluster y modulación: Esta etapa se encarga, principalmente, de generar las señales de conmutación del convertor. Además, en base al voltaje DC de los SMs de un cluster, se realiza un balance Intra-Cluster, el cual controla la potencia entregada por cada SM.

En la Fig. 2.2 se presenta la estructura de un sistema de control de un MMCC para aplicaciones BESS. Los bloques con líneas continuas representan etapas imprescindibles para el funcionamiento del convertor. Además, se destacan en color verde las etapas que serán implementadas en esta tesis.

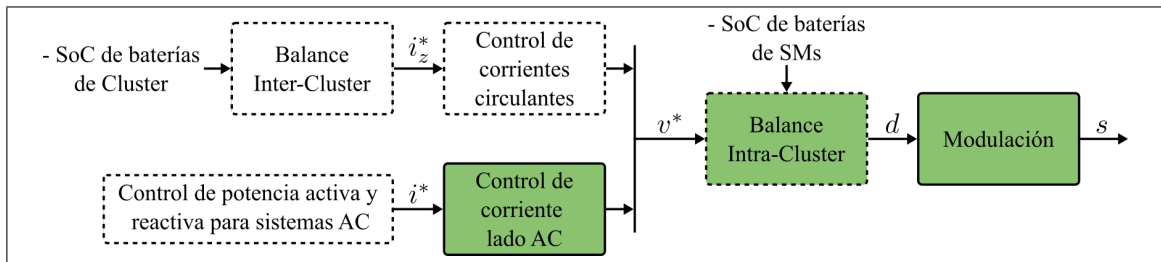


Figura 2.2. Estructura de un sistema de control con aplicación en BESS

Por otro lado, como se discutió en la sección 1.1 los MMCCs son una solución prometedora para integrar energías renovables. Principalmente debido a su estructura en cascada que entrega gran modularidad al convertor, pudiendo funcionar como pequeños bloques que se conectan en serie y paralelo para formar un sistema más complejo. Sin embargo, la estructura típica de los sistemas de control concentra cada una de las etapas de control (Fig. 2.1) en un controlador central (CC). Por esta razón, aprovechando la configuración por bloques de los MMCCs, en la actualidad se han estudiado diversos esquemas de control que buscan adaptarse al esquema modular de los MMCCs. La literatura presenta esquemas de control, con definiciones utilizadas indistintamente. En la Fig. 2.3 se presenta una clasificación propia para cada uno de ellos, incluyendo sus posibles topologías de comunicación. Además, el cuadro gris resalta las topologías no estudiadas en la literatura.

Los esquemas de control descentralizados y distribuidos utilizan múltiples controladores para conseguir los objetivos de control del convertor. En la Fig. 2.4 se presentan

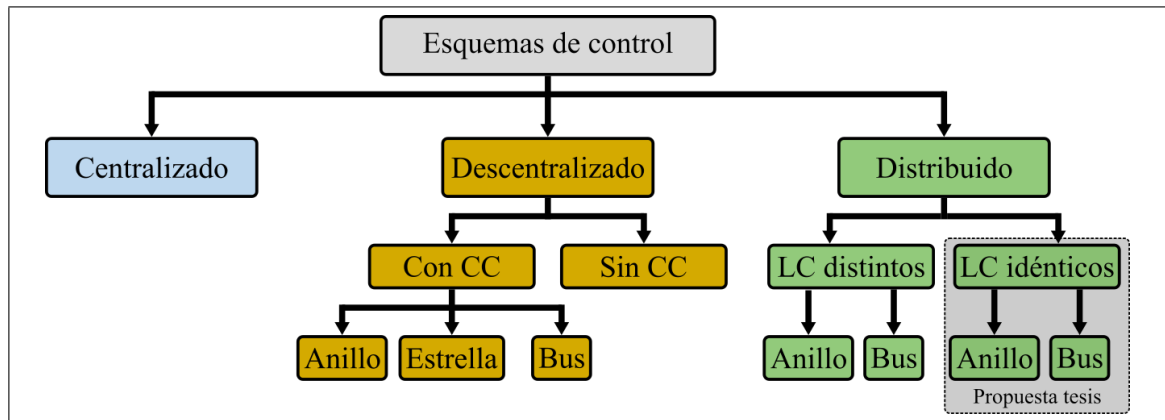


Figura 2.3. Clasificación de los esquemas de control

las topologías más típicas de comunicación entre controladores, donde se resaltan en color los tipos de controladores que pueden ser utilizados. A continuación, se define cada una de estas topologías:

- Estrella: Cada controlador está conectado a un único controlador común (Fig. 2.5c).
- Árbol: Cada grupo de controladores se conecta a un único controlador central a través de un intermediario. Esta topología deriva de la topología estrella, por lo que no será analizada en las siguientes secciones.
- Anillo: Cada controlador está conectado a otros dos, uno a cada lado, formando entre ellos un bucle cerrado en forma de anillo, como su nombre indica (Fig. 2.5d).
- Bus: Cada controlador se conecta a un cable común de comunicación, llamado bus. De esta manera, los controladores se pueden comunicar en forma broadcast, pudiendo enviar datos a todos los controladores de forma simultánea (Fig. 2.5e).

Con esto en consideración, en las siguientes secciones se presenta una definición para cada uno de los esquemas de control descritos en la Fig. 2.3.

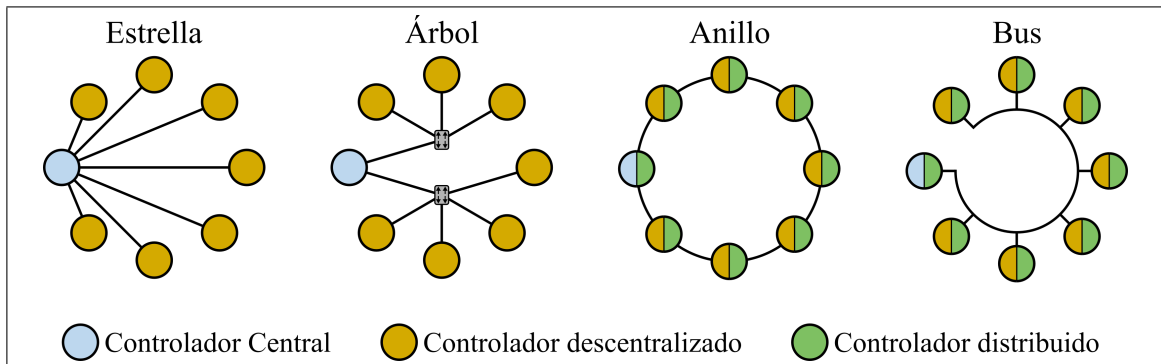


Figura 2.4. Topologías de comunicación

2.1. Esquema de control centralizado

Los esquemas de control centralizados designan arreglos donde todos los lazos de control se cierran a través del mismo dispositivo de procesamiento. Por ende, todas las mediciones, controles y protecciones se centralizan en un mismo controlador, como se muestra en la Figura 2.5a.

La mayoría de los MMCCs discutidos en la literatura son operados con estrategias de control altamente centralizadas (Yang et al., 2018). Esto se debe principalmente a que un control central es más rápido e intuitivo de desarrollar, simplificando la implementación de controles multivariables o de múltiples controladores anidados en una sola plataforma donde se tiene a disposición todas las señales y variables del sistema. Las señales de conmutación de los SMs son sincronizadas fácilmente asegurando una modulación sincronizada que genera un espectro de frecuencia definido con baja distorsión (THD) y bajos o nulos armónicos de bajo orden. Por lo tanto, es habitual utilizar un potente controlador central (CC), encargado de ejecutar los cálculos de control y modulación de todo el sistema, y enviar las órdenes de conmutación al convertidor a través de una comunicación de alta velocidad, lo que por lo general se hace con un algoritmo de distribución de señales de conmutación a través de una FPGA.

Sin embargo, al tener solo un controlador, la carga computacional es alta y el tiempo de ejecución podría no ser suficiente en cada ciclo de control si todas las tareas se centralizan

a un único controlador, especialmente en los MMCCs con gran cantidad de SMs. En consecuencia, el esquema centralizado limita su escalabilidad. Otra desventaja es que el CC es un punto singular de falla, es decir, tras un fallo en su funcionamiento ocasiona un fallo global en el sistema. Además, si existe un aumento o disminución en el número de SMs, con el objeto de cambiar el número de niveles de voltaje del convertidor o responder frente a una falla con la desconexión de un SM, el CC debe actualizarse y adaptar su estrategia de control a esta nueva configuración, lo cual limita la modularidad inherente de los MMCCs. Estos inconvenientes dificultan el desarrollo de los MMCCs para aplicaciones de tensiones más altas y/o de requerimientos de mayor flexibilidad.

2.2. Esquemas de control descentralizados

Los esquemas de control descentralizados se caracterizan por tener lazos de control locales en sus SMs. Los controladores locales (LC) se encargan de la modulación y el control específico de su propio SM, obviando los objetivos globales del convertidor. Dependiendo de si cuentan o no con un CC, estos esquemas de control se pueden clasificar de la siguiente manera.

2.2.1. Control descentralizado sin CC

Los esquemas de control que prescinden de un CC utilizan un LC adosado a cada uno de los SMs, como se observa en la Fig. 2.5b. En este caso no existe ningún tipo de comunicación entre los controladores, por lo que cada LC actúa de forma independiente al resto en base a su propia información de corrientes y voltajes obtenidas del convertidor. Por ende, estos esquemas de control resuelven algunos problemas provenientes de las estructuras de control centralizadas, ya que no cuenta con un CC. Pero se dificulta en gran medida la sincronización de las portadoras y el objetivo de control global no es asegurado, ya que cada LC solo puede cumplir con un objetivo local.

En (Dutta et al., 2019) se presenta un esquema descentralizado con LCs independientes, donde se utiliza un algoritmo de sincronización, con modulación PS-PWM, que funciona en base a las señales medidas por cada SMs, evitando así la distorsión armónica debido a la desincronización. Sin embargo, los algoritmos complejos de sincronización poseen alta carga computacional, por lo cual, de igual modo se dificulta la escalabilidad del convertidor. Además, debido a que no existe comunicación entre los LCs, este esquema no permite implementar estrategias de control globales que requieran de datos provenientes de los demás SMs, como el control de estado de carga de las baterías para una aplicación BESS y los controles que precisen de un trabajo sincronizado entre fases, como el uso de corrientes circulantes y voltajes de modo común. Además, no es capaz de adaptarse a fallas.

2.2.2. Control descentralizado con CC

Este esquema de control se caracteriza por tener una arquitectura jerárquica entre sus controladores. Por un lado, el CC es el responsable de manejar información general y realizar tareas globales de control, como el balance de voltaje global o por cluster, balance de corrientes y el intercambio de potencia. Por otro lado, los LCs, en base a información proveniente del CC, se encargan de realizar tareas específicas de control relacionadas a su propio SM, como la modulación y el control de voltaje. El esquema jerárquico requiere de un enlace de comunicación entre el CC y los LCs, necesario para lograr los objetivos globales de control y la sincronización de las señales de conmutación. Este enlace de comunicación puede ser mediante una topología estrella (Fig. 2.5c), anillo o bus. Además, en la literatura se presentan esquemas con comunicación unidireccional y bidireccional, los cuales se describen a continuación.

- **Comunicación unidireccional:** La comunicación se realiza únicamente desde el CC hacia los LCs, por ende, la retroalimentación del CC para el control solo proviene por parte del censado de las señales del convertidor. En (Çiftçi et al., 2021)(Yang et al., 2018) se utiliza un esquema de control descentralizado con

comunicación unidireccional, topología estrella y modulación PS-PWM, donde el convertidor logra adecuadamente los objetivos globales de control y la sincronización de los LCs, mediante señales provenientes del CC. Sin embargo, aún existe la necesidad de utilizar un CC potente, el intercambio de información en caso de fallas se dificulta y se mantiene la limitante de modularidad del convertidor.

- **Comunicación bidireccional:** La comunicación entre el CC y los LCs se realiza en ambos sentidos. La literatura presenta distintos tipos de señales que se envían desde los LCs al CC. En (J. Liu et al., 2018) (Geng et al., 2017) se implementa un esquema de comunicación bidireccional con topología bus e híbrida, respectivamente. La topología de comunicación híbrida incorpora parte de la topología anillo y estrella. También, al igual que en el caso de comunicación unidireccional, los LCs se sincronizan mediante señales comandadas por el CC. En ambos trabajos la lectura del voltaje de los SMs la realiza el LC correspondiente, el cual se encarga de enviar el valor al CC. Esto aporta a la disminución de cables y le quita carga computacional al CC. Además, en caso de falla de alguno de los SMs, el propio LC puede detectarlo y comunicárselo al CC de forma rápida y directa, una mejora considerable respecto al caso de comunicación unidireccional. Sin embargo, se mantiene una gran dependencia del CC, lo cual impide aprovechar la modularidad inherente de los MMCCs.

2.3. Esquemas de control distribuido

Los esquemas de control distribuido se caracterizan por el intercambio de información entre los LCs para cumplir con los objetivos globales de control de forma cooperativa. Se componen de múltiples lazos de control que se cierran en los distintos LCs en base a la información compartida con los demás. Debido a la necesidad de una comunicación entre LCs, estos esquemas de control pueden utilizar topologías de comunicación anillo o bus.

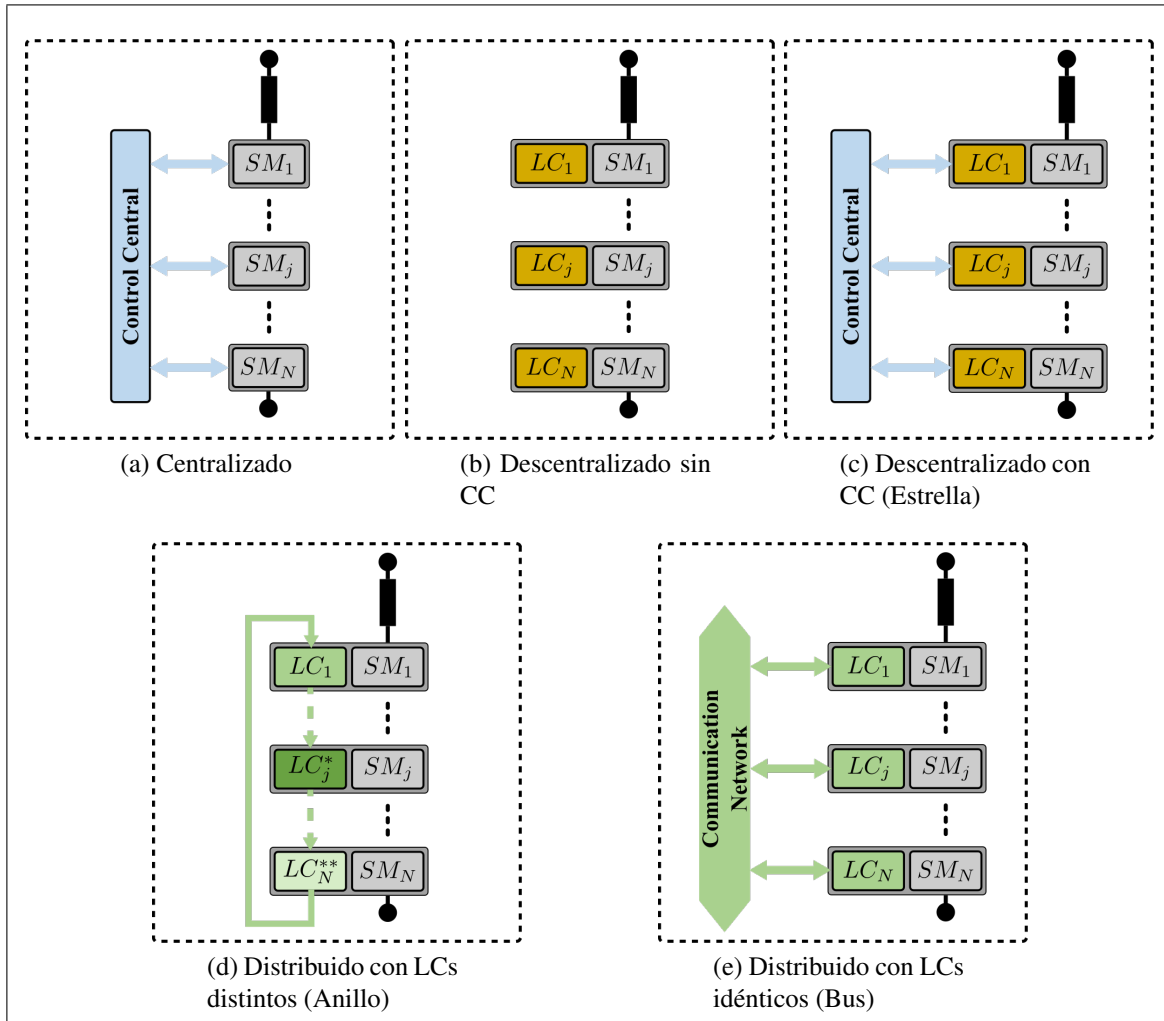


Figura 2.5. Clasificación de los principales esquemas de control (Topología de comunicación). (a) Centralizado. (b) Descentralizado sin CC. (c) Descentralizado con CC (Estrella). (d) Distribuido con LCs distintos (Anillo). (e) Distribuido con LCs no idénticos (Bus).

Si bien en la literatura existe una definición formal de control distribuido, los trabajos propuestos en los MMCCs suelen utilizar indistintamente los términos distribuido y descentralizado. Por esta razón, a continuación se hace una clasificación y definición de dos grupos principales.

2.3.1. Control distribuido con LCs distintos

Esta estructura utiliza al menos un LCs distinto en la cadena de SMs y, mediante el consenso logran los objetivos de control del convertidor. En (Xu et al., 2021) se implementa un esquema distribuido en un convertidor CHB con modulación PS-PWM y un control de corriente y voltaje. Por un lado, para coordinar las señales de conmutación de los LCs, se envían señales de sincronización de forma centralizada a través de la plataforma RIAPS. Por otro lado, utiliza una topología bus de comunicación para lograr los objetivos globales de control. Aquí, un único LC se encarga de realizar el control de corriente del convertidor y los demás se encargan del control de voltaje. En consecuencia, existe una dependencia entre los LCs para lograr los objetivos globales de control. Por lo tanto, a pesar de prescindir de un CC y contar con un control distribuido cooperativo, la dependencia entre sus LCs mantiene una limitante para conseguir la modularidad del convertidor.

En (Phan et al., 2021) se presenta un esquema distribuido con solo un LC distinto. Utiliza una topología de comunicación en forma de anillo como se muestra en Fig. 2.5d. Este trabajo presenta un sistema de sincronización automático que permite desconectar y conectar SMs, con sus respectivos LCs idénticos. Sin embargo, el LC distinto no puede ser desconectado, ya que es el encargado de enviar los flag de sincronización a los demás LCs. Por lo tanto, no se logra recuperar del todo la modularidad del convertidor. Además, en este trabajo no se le da una aplicación específica al convertidor, más que mostrar la sincronización de las portadoras.

2.3.2. Control distribuido con LCs idénticos

Este esquema utiliza LCs idénticos adosados en cada uno de los SMs, como el que se muestra en la Fig. 2.5e. Por ende, la sincronización de los LCs se implementa de forma distribuida, es decir, no existe un único controlador encargado de coordinar las señales de conmutación. En la literatura no hay esquemas que cumplan con esta cualidad. Sin embargo, en base a (Phan et al., 2021), se infiere que este esquema permitiría emplear un

control totalmente distribuido cooperativo con LCs independientes, replicando la estructura modular de los MMCCs en el esquema de control del convertidor. Por lo tanto, sería posible conectar o desconectar cualquier SM sin necesidad de detener el funcionamiento del convertidor, manteniendo el correcto funcionamiento de este.

2.4. Conclusión del capítulo

En la actualidad se han estudiado diversos esquemas de control que buscan contrarrestar los problemas de los controles altamente centralizados. En su mayoría solo buscan disminuir la carga del CC, repartiendo tareas de control en LCs, lo cual mejora la escalabilidad de los MMCCs. Sin embargo, pocos estudios buscan potenciar la modularidad inherente de los MMCCs. De hecho, prácticamente no hay estudios que analicen la conexión y desconexión de SMs manteniendo el funcionamiento del convertidor, una de las principales características de la estructura modular de los MMCCs. En esta línea, la presente tesis propone por primera vez una estructura con LCs idénticos, que permite emplear un control totalmente distribuido cooperativo con LCs independientes, replicando la estructura modular de los SMs en un MMCCs. En consecuencia, este esquema de control aprovecha por completo la modularidad de los MMCCs, pudiendo conectar y desconectar SMs sin necesidad de cambiar las características de los LCs.

3. CONTROL DEL CONVERTOR CHB

El convertor CHB ha cobrado gran popularidad para aplicaciones BESS, debido a su estructura modular inherente, que permite subdividir la cadena de baterías en cada uno de los SMs del convertor y utilizar SMs redundantes para aumentar la fiabilidad del sistema, como se explicó en la sección 1.2. En consecuencia, el control distribuido cooperativo propuesto, se aplica en un cluster de un convertor CHB conectado a la red con baterías distribuidas en los SMs, como se muestra en la Fig. 3.1, pero puede aplicarse a clusters de otros MMCCs. Como trabajo futuro se propone la implementación de un control distribuido Inter-Cluster.

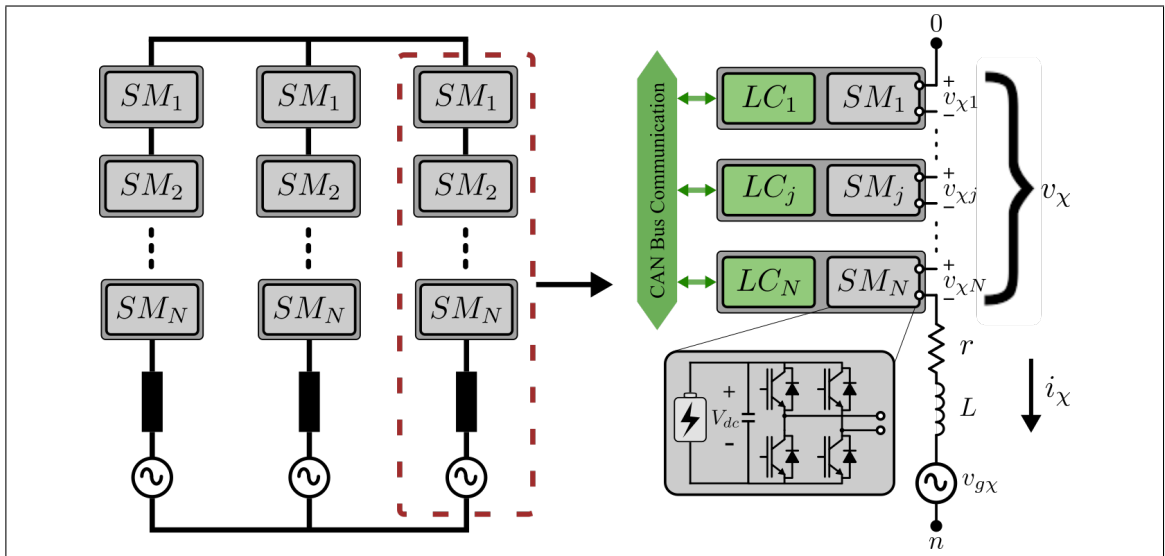


Figura 3.1. Diagrama de circuito de una topología de convertidor CHB de N-SMs.

En este capítulo, se describen las ecuaciones del modelo de un convertor CHB trifásico genérico. Se presentan las ecuaciones de tiempo continuo para una visión teórica y, las ecuaciones de tiempo discreto, necesarias para la implementación digital de los controladores propuestos. Luego, se describe y desarrolla el PS-MPC, utilizado para controlar la corriente del cluster y un control de estado de carga de las baterías distribuidas en los

SMs. En ambos casos el control se vincula al esquema distribuido propuesto, implementando ajustes para una correcta armonización.

3.1. Modelo conversor CHB

La topología del convertidor CHB se compone de un cluster de N -SMs conectados en serie con un inductor por fase, como se ilustra en la Fig. 3.1. Cada SM es un puente h completo (FB) conectado a un condensador flotante, una fuente aislada o un paquete de baterías en este caso.

3.1.1. Modelo de tiempo continuo

El modelo de tiempo continuo de cada corriente de fase, $i_\chi(t)$, donde $\chi \in \{a, b, c\}$, se puede expresar mediante:

$$\frac{di_\chi(t)}{dt} = -\frac{r}{L}i_\chi(t) + \frac{1}{L}(v_\chi(t) - v_{g\chi}(t) - v_{0n}(t)). \quad (3.1)$$

Aquí, L y r son la inductancia y la resistencia del filtro del cluster, respectivamente. Además, $v_{g\chi}(t)$ y $v_\chi(t)$ corresponden al voltaje de red y al voltaje por fase de salida del convertidor CHB, respectivamente. Por último, $v_{0n}(t)$ es el voltaje de modo común, que se describe como sigue

$$v_{0n}(t) = \frac{1}{3}(v_a(t) + v_b(t) + v_c(t)). \quad (3.2)$$

El voltaje de salida del cluster en cada fase está formado por la suma de sus N voltajes de los SMs individuales:

$$v_\chi(t) = \sum_{j=1}^N v_{\chi j}(t) \quad \forall j \in \{1, \dots, N\}. \quad (3.3)$$

3.1.2. Entrada de control

El valor del voltaje de salida de cada SM $v_{\chi j}$, toma un valor discreto en función de su estado de conmutación $S_j(t) \in \{-1, 0, 1\}$. Sin embargo, si se utiliza el modelo promedio, puede sustituirse por el ciclo de trabajo $d_{\chi j} \in \mathbb{D} \triangleq [-1, 1]$, que es considerado como una entrada de control (Cuzmar et al., 2021). Por lo tanto, el voltaje del cluster del convertidor puede expresarse como sigue:

$$v_{\chi j}(t) = v_{dc, \chi j}(t) \cdot d_{\chi j}(t) \quad (3.4)$$

donde $v_{dc, \chi j}(t)$ es el voltaje dc aislado en cada SM.

3.1.3. Modelo de tiempo discreto

Para pasar los modelos a tiempo discreto se utiliza la aproximación dada por el Método de Euler, el que aplicamos a la Eq. 3.1 para obtener lo siguiente

$$i_{\chi}(k+1) = i_{\chi}(k) - \frac{r}{L} i_{\chi}(k) \cdot T_s + \frac{T_s}{L} (v_{\chi}(k) - v_{g\chi}(k) - v_{0n}(k)). \quad (3.5)$$

Ahora, considerando que los puntos neutros no están conectados se cumple la siguiente relación de corrientes.

$$i_c(k) = -(i_a(k) + i_b(k)) \quad (3.6)$$

Esto simplifica la ecuación de corriente como se muestra a continuación.

$$\mathbf{i}(k) = \begin{bmatrix} i_a(k) & i_b(k) \end{bmatrix}^T \in \mathbb{R}^2 \quad (3.7)$$

Por otro lado, considerando la red trifásica balanceada se cumple que:

$$v_{gc}(k) = -(v_{ga}(k) + v_{gb}(k)) \quad (3.8)$$

obteniendo la siguiente ecuación que representa al voltaje total de la red.

$$\mathbf{v}_g(k) = \begin{bmatrix} v_{ga}(k) & v_{gb}(k) \end{bmatrix}^T \in \mathbb{R}^2 \quad (3.9)$$

Considerando la Eq. 3.2 y la Eq. 3.8 es posible establecer la siguiente relación para la fase a:

$$\begin{aligned} v_a(t) - v_{ga}(t) - v_{0n}(t) &= \frac{1}{3} (2v_a(t) - v_b(t) - v_c(t)) - v_{ga}(t) \\ &= \frac{1}{3} \sum_{j=1}^N (2v_{aj}(t) - v_{bj}(t) - v_{cj}(t)) - v_{ga}(t) \end{aligned} \quad (3.10)$$

Con la estrategia de control propuesta, reescribimos la ecuación anterior en base a la variable de control, considerando también que el voltaje de cada SM es constante $v_{dc,\chi j}(t) = v_{dc}^*$, lo que se puede asumir en una aplicación BESS, ya que las baterías presentan variaciones pequeñas de voltaje en cada instante de tiempo.

$$v_a(t) - v_{ga}(t) - v_{0n}(t) = \frac{v_{dc}^*}{3} \sum_{j=1}^N (2d_{aj}(t) - d_{bj}(t) - d_{cj}(t)) - v_{ga}(t) \quad (3.11)$$

Tomando en cuenta el análisis anterior, es conveniente describir la entrada de control como:

$$\mathbf{d}(k) = \begin{bmatrix} \mathbf{d}_1^T(k) & \cdots & \mathbf{d}_N^T(k) \end{bmatrix} \in \mathbb{D}^{3N} \quad (3.12)$$

donde

$$\mathbf{d}_j(k) = \begin{bmatrix} d_{aj}(k) & d_{bj}(k) & d_{cj}(k) \end{bmatrix} \in \mathbb{D}^3 \quad (3.13)$$

De esta manera, utilizando las ecuaciones anteriormente descritas, podemos reescribir la Eq. 3.5 de la siguiente manera:

$$\mathbf{i}(k+1) = \mathbf{A} \cdot \mathbf{i}(k) + \mathbf{B} \cdot \mathbf{u}(k) + \mathbf{E} \cdot \mathbf{v}_g(k) \quad (3.14)$$

donde

$$\begin{aligned} \mathbf{A} &= \left(1 - T_s \frac{r}{L}\right) \mathbf{I}_2, \quad \mathbf{E} = -T_s \frac{1}{L} \mathbf{I}_2 \\ \mathbf{B} &= [\mathbf{B}_1 \cdots \mathbf{B}_N], \quad \mathbf{B}_j = \frac{T_s v_{dc}^*}{3L} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \end{bmatrix}. \end{aligned} \quad (3.15)$$

3.2. Control de corriente secuencial PS-MPC

Este trabajo propone utilizar un control local (LC) para cada SM, los que trabajan bajo consenso mediante un bus de comunicación para conseguir el objetivo de control global del convertidor (Fig. 3.1). Además, la modulación de cada SM, distribuida en su respectivo LC, debe estar sincronizada con la modulación de los otros SMs del mismo cluster para asegurar una baja distorsión en el voltaje de salida.

La sincronización del control y la modulación es un punto crítico para la comunicación, por lo que el esquema propuesto utiliza una topología de comunicación todos-a-todos, que basa su funcionamiento en un modelo de comunicación secuencial, evitando la interferencia entre los mensajes a través del mismo bus de comunicación. Para ello, se propone utilizar un control predictivo de modelo secuencial con desplazamiento de fase (PS-MPC), permitiendo así la implementación del esquema distribuido de control y modulación propuesto en un cluster del conversor CHB.

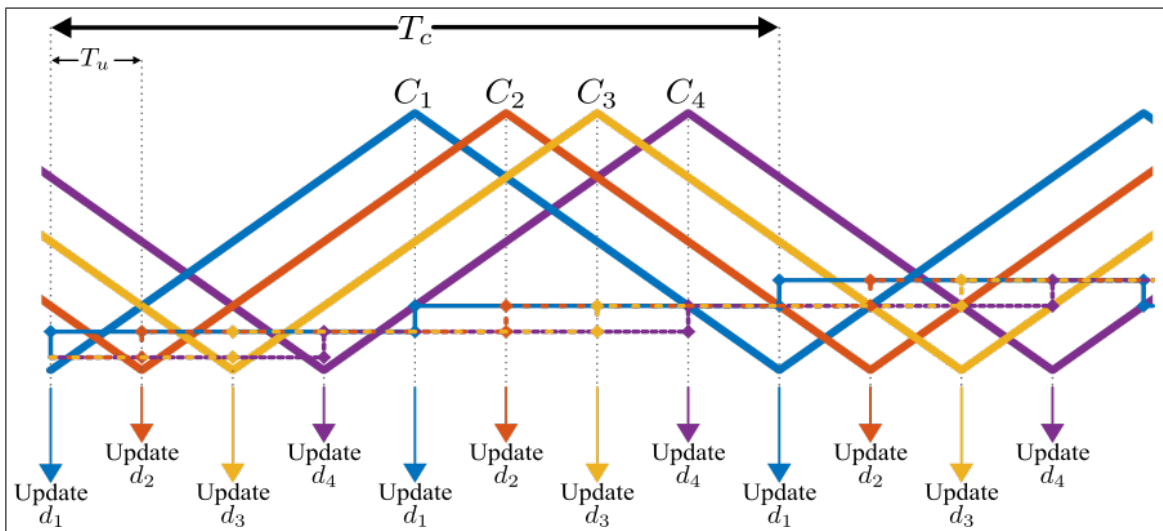


Figura 3.2. Principio de funcionamiento del PS-PWM en modo de doble actualización para un convertidor CHB de cuatro SMs.

Cada cluster utiliza una modulación por ancho de pulsos con desplazamiento de fase (PS-PWM), de modo que las portadoras están desfasadas en $T_c/2N$, donde T_c corresponde

al periodo de la portadora. La modulación por ancho de pulsos (PWM) funciona bajo un modo de actualización doble, por lo que cada ciclo de trabajo d_j sólo se actualiza cuando su respectiva portadora C_j alcanza su punto máximo y mínimo. Por tanto, se genera una actualización secuencial de los ciclos de trabajo, con un tiempo T_u entre cada SM (Fig. 3.2). Esta ventana de tiempo, junto con el funcionamiento secuencial del sistema, permite la comunicación de todos-a-todos a través de un único bus de comunicación.

3.2.1. Problema global de control óptimo

Considerando el control de un cluster del conversor CHB, el principal objetivo del PS-MPC es inyectar una corriente controlada a la red monofásica. Lo que puede ser expresado como:

$$i^* = I^* \sin(\omega t - \phi) \quad (3.16)$$

donde I^* corresponde al valor peak de referencia para la salida de corriente, ω es la frecuencia angular del voltaje de la red y ϕ es el ángulo de desfase entre el voltaje de la red y la corriente de referencia. Para cumplir el objetivo de control de corriente, se utiliza la función de costos cuadrática estándar:

$$J(k) = \|i(k+1) - i^*(k+1)\|_2^2 + \lambda \|d(k) - d^*(k)\|_2^2 \quad (3.17)$$

donde λ corresponde a un factor de ponderación que permite intercambiar la importancia de error de corriente i contra las desviaciones del error de la variable controlada d_j . Con lo que se obtiene una función capaz de minimizar el error de corriente en base al modelo del conversor.

3.2.2. Modelo promedio secuencial

El PS-MPC secuencial propuesto para un esquema de control distribuido, basado en (Aguilera, Acuna, Su, Lezana, & McGrath, 2017) y (Cuzmar et al., 2021), funciona actualizando el ciclo de trabajo de un solo SM en cada instante de tiempo T_u , mientras que el

resto mantiene un valor constante, como se muestra en la Fig. 3.2. Esto asegura que los datos de control y sincronización se compartan adecuadamente antes de realizar un nuevo cálculo de control. En base a esto, es posible reescribir la Eq. 3.14 como una ecuación del modelo secuencial, considerando en cada instante de tiempo solo las señales de control activas d_j . De esta manera, se obtiene el siguiente modelo dinámico:

$$\begin{aligned} i(k+1) &= Ai(k) + B_j d_j(k) + h_j(k) \\ h_j(k) &= Ev_g(k) + \sum_{l=1, l \neq j}^N B_l \bar{d}_l(k) \end{aligned} \quad (3.18)$$

donde $h_j(k)$ es constante en el modelo promedio secuencial, ya que $\bar{d}_l(k)$ corresponde a variables de control inactivas, que dependen de otros SMs. Por lo tanto, se obtiene una ecuación con tan solo una variable de control activa en cada instante de tiempo.

3.2.3. Problema de control óptimo secuencial

Considerando el modelo de media secuencial (Eq. 3.18), la función de costos (Eq. 3.17) se puede reescribir en base a las entradas de control activas, de esta manera la función de costos secuencial se describe como

$$J_j(k) = \|i(k+1) - i^*(k+1)\|_2^2 + \lambda \|d_j(k) - d_j^*(k)\|_2^2. \quad (3.19)$$

Como consecuencia, para obtener el ciclo de trabajo óptimo, se minimiza la función de costes (Eq. 3.19), obteniendo

$$d_j^{opt}(k) = \arg \left\{ \min_{d_j(k)} J_j(k) \right\}. \quad (3.20)$$

Debido al funcionamiento secuencial anteriormente descrito, la función de costos depende de solo una entrada activa en cada instante de tiempo, por ende, cada ciclo de trabajo

d_j^{opt} puede obtenerse resolviendo la siguiente derivada:

$$\frac{\partial J_j(k)}{\partial d_j(k)} = 0. \quad (3.21)$$

Derivando y despejando la variable de control se deduce la siguiente solución óptima explícita:

$$d_j^{opt}(k) = -W_j(k)^{-1} F_j(k) \quad (3.22)$$

donde

$$\begin{aligned} W_j &= B_j^T B_j + \lambda, \\ F_j(k) &= B_j^T (A i(k) + h_j(k) - i^*(k+1)) - \lambda d_j^*(k). \end{aligned} \quad (3.23)$$

De este modo queda una ecuación óptima simple por resolver para calcular el ciclo de trabajo de cada SM, cálculos que se irán realizando de forma secuencial, dando tiempo suficiente para comunicar la información de control y sincronización entre controladores. Además, es importante destacar que en este trabajo el PS-MPC no integra restricciones para el ciclo de trabajo, por lo tanto, para los casos en que la solución óptima viola las restricciones de operación (generalmente en los transitorios), se integra una saturación escalar a la variable de control, como se muestra a continuación:

$$d_j(k) = \begin{cases} -1 & Si \quad d_j^{opt}(k) < -1 \\ d_j^{opt}(k) & Si \quad -1 < d_j^{opt}(k) < 1 \\ 1 & Si \quad 1 < d_j^{opt}(k). \end{cases} \quad (3.24)$$

3.2.4. Diseño propuesto de referencia de la señal de control

Para resolver el problema de control óptimo secuencial es necesario definir los valores de referencia del sistema ($i^*(k+1)$, $d^*(k)$). Un control de alto nivel se encarga de establecer el valor de pico y el ángulo de fase de la corriente de referencia $i^*(k+1)$, como se muestra en la Fig. 3.3. Por otro lado, el ciclo de trabajo de referencia $d_j^*(k)$ se obtiene

a partir del modelo promedio secuencial (Eq. 3.18), como se muestra a continuación:

$$d_j^*(k) = \frac{i^*(k+1) - Ai^*(k) - Ev_g(k) - \sum_{l=1, l \neq j}^N B_l \bar{d}_l(k)}{B_j}. \quad (3.25)$$

La referencia $d_j^*(k)$ del LC j depende de los ciclos de trabajo inactivos, correspondiente a los $\bar{d}_l(k)$ de los otros LCs $l \neq j$, que participan en el cluster. Para evitar esta dependencia, que requiere un aumento de los datos de comunicación y procesamiento, se propone una estimación media de los ciclos de trabajo inactivos, representada por $\bar{d}_{avg}(k)$. Para ello, se supone que las modulantes de cada SM están equilibradas, lo que a partir de la actualización secuencial de los ciclos de trabajo permite inferir que en el instante k los valores de los ciclos de trabajo inactivos estarán entre $d_j^*(k-1)$ y $d_j^*(k)$, y equidistantes entre sí, por lo cual se plantea la siguiente aproximación:

$$\bar{d}_{avg}(k) = \frac{d_j^*(k) + d_j^*(k-1)}{2} \approx \frac{\sum_{l=1, l \neq j}^N \bar{d}_l(k)}{N}. \quad (3.26)$$

Este valor es suficiente para estimar el valor de los ciclos de trabajo inactivos. Por lo tanto, la sustitución de $\bar{d}_l(k)$ por $\bar{d}_{avg}(k)$ en la Eq. 3.25 permite reformular la ecuación como:

$$d_j^*(k) = \frac{2i^*(k+1) - 2Ai^*(k) - 2Ev_g(k) - \sum_{l=1, l \neq j}^N B_l(k) d_j^*(k-1)}{2B_j + \sum_{l=1, l \neq j}^N B_l} \quad (3.27)$$

donde $d_j^*(k)$ sólo depende de $d_j^*(k-1)$, valor calculado previamente. Por lo tanto, asumiendo un equilibrio de las señales moduladoras del cluster, es posible estimar y consecuentemente lograr la independencia de los ciclos de trabajo de cada SM.

3.3. Control de potencia y estado de carga (SoC) de las baterías

El control de potencia propuesto busca igualar los SoC de las baterías de un cluster en un porcentaje de encuentro deseado, para luego seguir descargándose o cargándose de forma equilibrada. Además, con el fin de no interferir en el control de corriente del

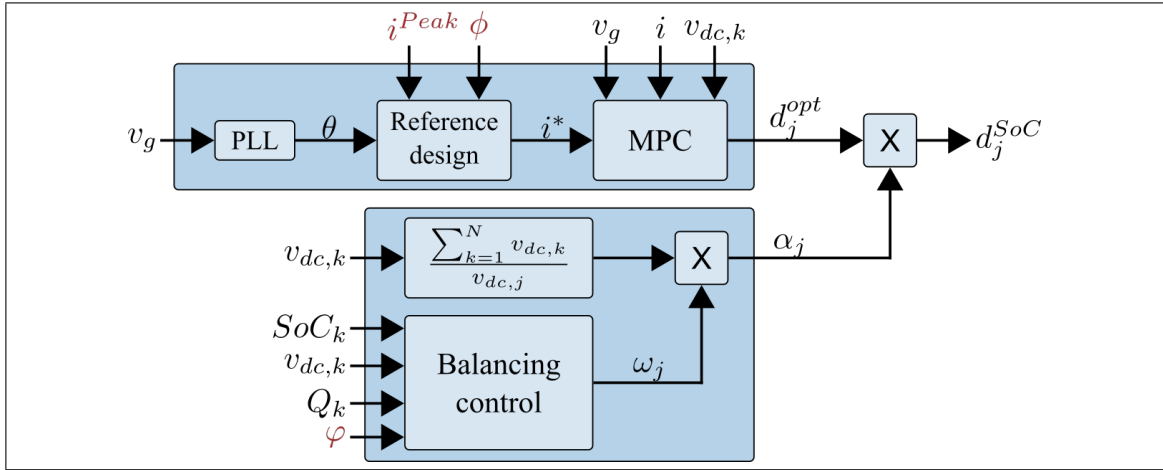


Figura 3.3. Diagrama de bloques del control de estado de carga de las batería integrado al PS-MPC.

cluster, se propone el control de la Fig. 3.3, donde se utiliza un factor de ponderación α_j para redistribuir los ciclos de trabajo d_j^{opt} provenientes del control MPC, y obtener una nueva variable manipulada d_j^{SoC} que integre ambos objetivos de control.

$$d_j^{SoC} = d_j^{opt} \cdot \alpha_j \quad (3.28)$$

Para obtener el valor de α_j se utiliza el factor $\omega_j \in [0, 1]$, que define la contribución de potencia de cada SM para igualar los SoC de las baterías (C. Liu, Gao, Cai, & Li, 2020). El factor ω_j se deriva de la Eq. 3.29, donde Q_j , SoC_j , y v_j representan la capacidad efectiva, el SoC instantáneo y la tensión de la batería respectivamente, además, la variable $\varphi \in [0, 100]$ define el porcentaje de encuentro del SoC de las baterías.

$$\omega_j = \begin{cases} \frac{Q_j \cdot (SoC_j - \varphi) \cdot v_j}{\sum_{j=1}^N Q_j \cdot (SoC_j - \varphi) \cdot v_j} & \text{descarga} \\ \frac{Q_j \cdot (SoC_j - \varphi) \cdot v_j}{\sum_{j=1}^N Q_j \cdot (SoC_j - \varphi) \cdot v_j} & \text{carga} \end{cases} \quad (3.29)$$

En consecuencia, la contribución de potencia de cada SM P_j^{SoC} se calcula como:

$$P_j^{SoC} = P_{clr} \cdot \omega_j \quad (3.30)$$

donde

$$\sum_{j=1}^N \omega_j = 1 \quad (3.31)$$

y P_{clr} corresponde a la potencia total del cluster. Esto asegura una redistribución uniforme de potencia manteniendo constante la potencia total del cluster, por ende, no interfiere con el control del corriente MPC. Por esta razón, se utiliza la Eq. 3.30 para obtener el valor de la variable α_j , que, según la ecuación de voltaje del cluster (Eq. 3.4), puede ser reescrita en base a d^{opt} como:

$$P_j^{SoC} = i \cdot \sum_{k=1}^N (v_{dc,k} \cdot d_k^{opt}) \cdot \omega_j \quad (3.32)$$

donde i corresponde a la corriente del cluster. Además, del PS-MPC se sabe que las modulantes son equilibradas, por ende, en términos de potencia es posible despreciar las diferencias de los ciclos de trabajo d_k^{opt} y mover este valor fuera de la sumatoria. También, multiplicando por $v_{dc,j}/v_{dc,j}$, la Eq. 3.32 se puede reescribir como:

$$P_j^{SoC} = i \cdot v_{dc,j} \cdot d^{opt} \cdot \frac{\sum_{k=1}^N v_{dc,k}}{v_{dc,j}} \cdot \omega_j. \quad (3.33)$$

Se aprecia que parte de esta ecuación corresponde a la potencia que cumple con el PS-MPC, que se describe a continuación:

$$P_j^{MPC} = i \cdot v_{dc,j} \cdot d^{opt}. \quad (3.34)$$

Por lo tanto, se deduce que es posible obtener el valor de P_j^{SoC} en base a P_j^{MPC} ponderando el valor del ciclo de trabajo óptimo d^{opt} . En consecuencia, se desprende el valor de la variable α_j , encargada de redistribuir los ciclos de trabajo del cluster, como se muestra en la Fig. 3.3.

Por lo tanto, se logra implementar un control secuencial MPC-SoC, donde el control SoC no afecta al funcionamiento del MPC, redistribuyendo la potencia entregada por cada SM y manteniendo constante la potencia del cluster.

3.4. Conclusión de capítulo

Este capítulo presentan las ecuaciones del modelo de un conversor CHB trifásico genérico. Se presentan las ecuaciones de tiempo continuo y discreto, donde estas últimas son utilizadas para crear los controladores propuestos. Se presenta el control de corriente PS-MPC, describiendo las ventajas y modificaciones desarrolladas para su correcta integración en el esquema de control distribuido propuesto. Para ello, se propone una estimación de los ciclos de trabajo de referencia de cada SM, consiguiendo así una mayor independencia entre los LCs. Por otro lado, se implementa un control de estado de carga de las baterías, el cual funciona en base a los datos obtenidos del PS-MPC, procurando no interferir en el control de corriente y con el objetivo de redistribuir la potencia entregada por cada SMs, en base al estado de carga, capacidad efectiva y voltaje de las baterías.

En la figura 3.3 se aprecia el diagrama de bloques del control propuesto y las señales necesarias para realizar cada una de las tareas de control. Se observa como el control de corriente y potencia se acoplan para obtener la variable de control d_j^{SoC} . Además, las señales de color rojo, provenientes de un control de alto nivel, se utilizan para generar la corriente de referencia del conversor. Cabe destacar que estas señales no son necesarias para el funcionamiento continuo del conversor, ya que no varían de forma continua en el tiempo.

4. CONTROL DISTRIBUIDO PROPUESTO

El esquema de control distribuido propuesto se basa en el consenso de pequeños e idénticos controladores, uno por SM. No hay orden jerárquico entre ellos, y operan en consenso bajo una comunicación broadcast de todos-a-todos, por lo tanto, ningún controlador es imprescindible, ya que si un SM se conecta o desconecta, el resto de los SMs lo detectan y automáticamente se reordenan por consenso, cumpliendo el objetivo de control individual y común. Además, tal y como se describe en la sección 3.2, se utiliza una modulación PS-PWM para proporcionar un comportamiento secuencial al sistema, lo cual permite implementar la comunicación propuesta a través de un único bus de comunicación.

- **Control distribuido y modulación por consenso**

El convertidor de potencia está controlado y modulado por múltiples sistemas de agentes idénticos que interactúan para lograr un objetivo común. Una red de comunicación broadcast entre los LCs del tipo todos-a-todos intercambia información para llegar a un consenso.

- **Reconfiguración automática de SMs**

Cada uno de los LCs es capaz de reconfigurar automáticamente la fase de su señal de control y portadora, dependiendo del número de SMs conectados y de los datos de control intercambiados entre ellos. En otras palabras, los LCs consiguen cambiar automáticamente sus esquemas de control específicos para mantener su objetivo individual y común, sin necesidad de detener el funcionamiento del convertidor. Esta característica refuerza la tolerancia a fallos y la modularidad del sistema, permitiendo la conexión o desconexión inmediata de los SMs.

- **Escalabilidad**

El control distribuido y la modulación son escalables en cuanto al número de SMs sin la necesidad de adaptar la comunicación o el control. El tiempo de muestreo y el tiempo de actuación del controlador se ajustan automáticamente al número de SMs activos, permitiendo que la velocidad de comunicación se

mantenga constante. Por lo tanto, la escalabilidad estará principalmente limitada por el número de LCs que permita el protocolo de comunicación utilizado.

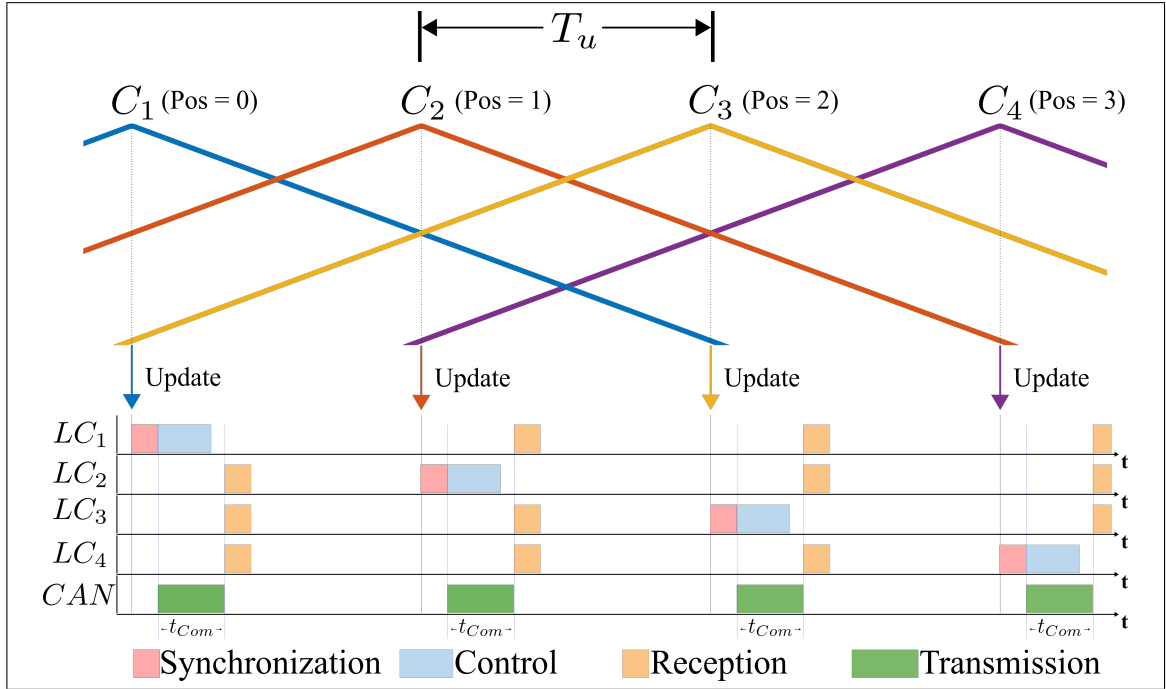


Figura 4.1. Diagrama temporal de las principales tareas del control distribuido propuesto.

Buscando cumplir con los tres principios impuestos, se propone un esquema secuencial de modulación, comunicación y control, lo cual permite que los SMs operen de forma coordinada y sin interrupción, considerando los objetivos de control locales y globales. La Fig. 4.1 muestra el funcionamiento temporal, con una representación real en escala de tiempo, del control distribuido secuencial de un cluster con 4 SMs activos. Se identifican las siguientes tareas principales:

- (i) *Synchronization*: Se encarga de la sincronización de los LCs. Para ello, utiliza un algoritmo que define la fase y periodo de las portadoras.
- (ii) *Control*: Se encarga de los cálculos de control del LC. Integra el PS-MPC y el control del estado de carga de las baterías, obteniendo como resultado el valor de la variable d_j^{SoC} .

- (iii) *Reception*: Contempla el momento en el que se reciben los datos de comunicación. Estos datos son utilizados en las etapas de control y sincronización.
- (iv) *Transmission*: Corresponde a los tiempos de ocupación del bus de comunicación debido a la transmisión de datos.

En el esquema presentado en la Fig. 4.1, se detalla el proceso secuencial de control. Se aprecia como el LC_1 comienza con la etapa “Synchronization”, que finaliza con la transmisión de datos a través del Bus de comunicación. Tras el envío de los datos, LC_1 continúa con la etapa “Control”, en la cual se obtiene el valor de d_j^{SoC} , que es calculado para el instante $k + 1$, ya que será enviado al SM en el siguiente Update de la portadora. En paralelo a la etapa “Control” se ejecuta la tarea de transmisión de datos a través del Bus de comunicación, periodo en el que el Bus se encuentra ocupado. Posteriormente, al finalizar la transmisión, los demás LCs comienza con la recepción de los datos provenientes de LC_1 , terminando con todos los procesos antes del siguiente Update de alguna portadora. Luego, cuando se genera el Update de la siguiente portadora, su respectivo LC comienza con la misma secuencia de ejecución de tareas que LC_1 . Este proceso secuencial de ejecución de tareas se va realizando en cada uno de los LCs, cuando su respectiva portadora indique un nuevo Update, ilustrando así el funcionamiento del control distribuido secuencial propuesto.

En cuanto a los tiempos necesarios para la ejecución de tareas, de la Fig. 4.1 se deduce que si el tiempo de tareas es inferior a T_u , donde T_u corresponde al tiempo entre cada Update, es posible aseverar que existirá tiempo suficiente para la ejecución de tareas y transmisión de datos. Así, se propone un sistema de control con cambio de frecuencia de la portadora, encargado de mantener constante el periodo T_u , independiente del número de SMs conectados, lo que permite garantizar la escalabilidad del sistema. Para ello, el periodo de la portadora debe ser directamente proporcional al número de SMs, es decir, se debe cumplir lo siguiente:

$$T_c = 2NT_u. \quad (4.1)$$

Como consecuencia de mantener constante el período T_u , la frecuencia de conmutación de salida aparente del cluster f_{clr} también será constante. Por consiguiente, los armónicos a la salida del convertidor se concentrarán en las mismas frecuencias independiente del número de SMs activos, como se muestra en la siguiente ecuación:

$$f_{clr} = \frac{2N}{T_c} = \frac{1}{T_u}. \quad (4.2)$$

Por lo tanto, el control distribuido secuencial propuesto permite trabajar a bajas tasas de comunicación, otorgando escalabilidad al sistema y manteniendo fijos los armónicos de la tensión de salida del cluster.

4.1. Protocolo de comunicación

El protocolo de comunicación es crucial para cumplir con los principios anteriormente mencionados. En la tabla 4.1 se presentan los protocolos de comunicación más relevantes en la literatura para esquemas de control descentralizados y distribuidos. Entre ellos, el protocolo de comunicación CAN Bus es el único con arquitectura multimaestro, es decir, no necesita de un controlador principal que se encargue de comandar la comunicación con el resto de los LCs. Consecuentemente, este protocolo es el único que permite la implementación de LCs idénticos, sin jerarquía maestro/esclavo.

Tabla 4.1. Comparación de los protocolos de comunicación utilizados en esquemas de control descentralizados y distribuidos. Ref: (1) (Dan Burlacu et al., 2014) (2) (Huang et al., 2013) (3) (Xu et al., 2021) (4) (J. Liu et al., 2018)

Protocolo	Velocidad de datos	Topologías	Arquitectura	Ref
EtherCat	100 Mbps	Estrella, anillo, árbol	Maestro/Esclavo	(1)
ProfiNet	100 Mbps	Estrella, anillo, árbol	Maestro/Esclavo	(2)
ModBus	115.2 kbps	Estrella, anillo, árbol, bus	Maestro/Esclavo	(3)
CAN Bus	1 Mbps	Estrella, anillo, bus	Multimaestro	(4)

De esta manera, el esquema de control distribuido propuesto utiliza una topología de comunicación todos-a-todos, implementada sobre la base de mensajes broadcast en un bus CAN sin filtrado de mensajes en el receptor. Este protocolo de comunicación envía mensajes con una prioridad específica, donde los mensajes de mayor prioridad superan a los de menor prioridad (un mensaje de menor prioridad esperará hasta que no se envíe un mensaje de alta prioridad), por ende, no hay controladores esclavos.

Dentro de sus características, este protocolo es de bajo coste, está diseñado para la tolerancia a fallos y tiene una alta inmunidad al ruido (Parker, Ran, & Finney, 2013). Además, está implementado en el hardware de variados microcontroladores. Sin embargo, su velocidad de comunicación es de 1Mbps, la cual es baja considerando los tiempos requeridos para la sincronización de la portadora. No obstante, como se mencionó en la sección anterior, el esquema de control propuesto permite una comunicación secuencial entre los SMs sin interrumpir los cálculos de control, garantizando el correcto funcionamiento del sistema a bajas velocidades de comunicación. Finalmente, es importante mencionar que este protocolo está físicamente limitado a 110 LCs conectados a un mismo bus (*Q&A – What is CAN*, 2006), lo cual representa la principal limitante a la escalabilidad del sistema.

4.2. Tareas de cada controlador local

El esquema de comunicación y control propuesto se muestra en la Fig. 4.2. Por un lado, se observa la conexión de la comunicación todos-a-todos con mensajes broadcast a través del Bus CAN, que consta de 4 datos principales de comunicación: (i) ID_j : Identificación del controlador (ii) Pos_j : Posición del controlador (iii) $v_{dc,j}$: Voltaje DC del SM (iv) SoC_j : Estado de carga de la batería del SM. Estos mensajes se envían en forma broadcast a todos los LCs. Luego, en la recepción se seleccionan y procesan según corresponda. Por otro lado, se aprecian los bloques internos de control de cada LCs, los que se describen a continuación:

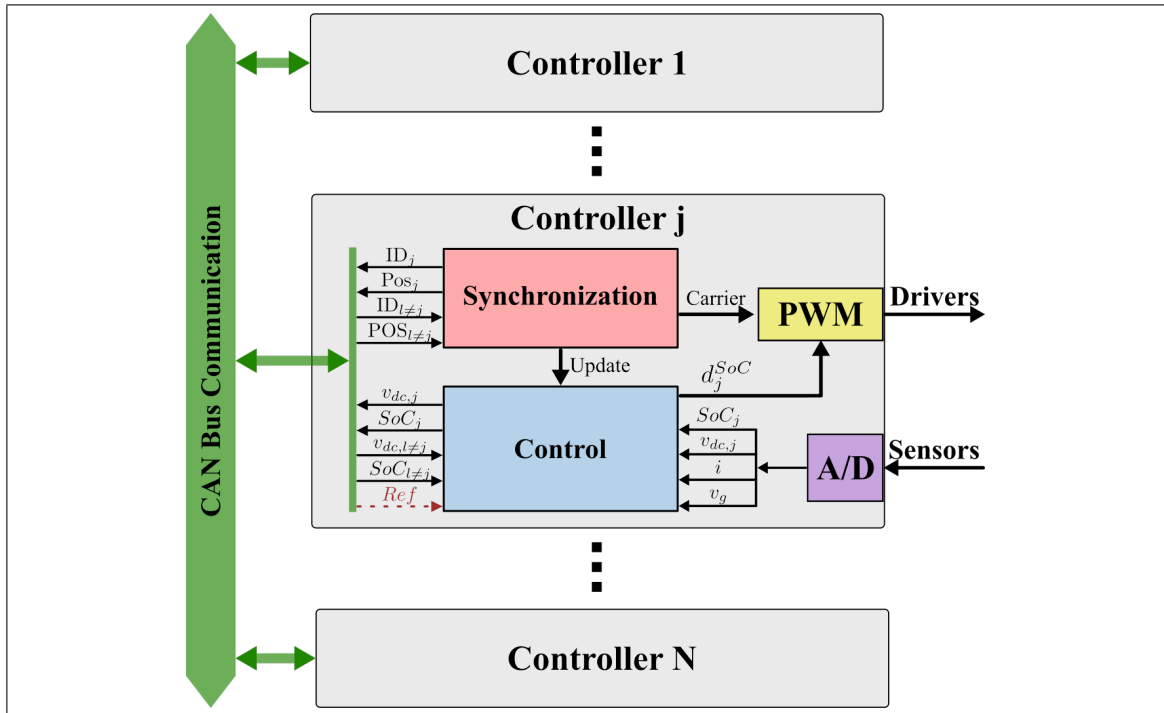


Figura 4.2. Diagrama esquemático de los procesos de control y comunicación de cada LC.

- (i) *Synchronization*: Este bloque utiliza los datos de comunicación ID y Pos para realizar la sincronización de las portadoras. Estos datos se transmiten entre los LCs con el objetivo de coordinar las fases y frecuencias de estos.
- (ii) *A/D*: Corresponde al convertidor analógico-digital incorporado en cada controlador. Este bloque recibe las señales de los sensores del módulo y las convierte para utilizarlas en el bloque de control.
- (iii) *Control*: La Fig. 3.3 muestra en detalle el funcionamiento de este bloque. Utiliza los datos de comunicación V_{dc} y SOC , los cuales se transmiten entre los LCs con el objetivo de coordinar el control del cluster. Además, usa los datos del bloque “A/D” para completar los datos de control del SM. De esta manera, cada LC es capaz de controlar la corriente, la potencia y el SoC de las baterías de forma coordinada con los demás LCs. También, este bloque utiliza la variable “Update” procedente del bloque “Synchronization”, que se utiliza como flag

para inicializar el bloque “Control”, garantizando una operación secuencial y en armonía con los demás LCs.

El operador puede conectarse al bus CAN y comunicarse con todos los LCs a través de la variable *Ref*. Esto se utiliza para cambiar los puntos de operación del sistema, modificar los parámetros de control o realizar pruebas de conexión y desconexión de los SM de forma manual. Cabe destacar que el conversor funciona sin problemas sin necesidad del operador, ya que no es imprescindible para la operación continua de este, pero si es relevante para las referencias de alto nivel.

- (iv) *PWM*: Cada LC tiene un bloque “PWM”, responsable de enviar las señales de conmutación a cada uno de los SMs. La portadora del bloque “Synchronization” y el ciclo de trabajo del bloque “Control” se utilizan para la generación del PWM.

4.3. Sincronización de portadoras

Como se ha descrito en secciones anteriores, el control distribuido propuesto utiliza LCs idénticos adosados a cada uno de los SMs del cluster. Por ende, cada uno de los controladores utilizados tienen el mismo clock. Sin embargo, la tolerancia de fabricación de los osciladores de cristal, que proporciona el clock de los controladores, genera una asincronía inevitable entre estos dispositivos (H. Wang et al., 2020). Por esta razón, se requiere de una constante sincronización entre los LCs. Para ello, se propone un sistema de sincronización asíncrona entre portadoras, basado en el control distribuido secuencial mostrado en la Fig. 4.1. Este proceso utiliza la variable Pos_j para ordenar de forma secuencial los LCs, cuyo valor define el retardo respecto al flag de sincronización enviado por el LC con $Pos_j = 0$, como se muestra en la siguiente ecuación.

$$Delay_j = T_u \cdot Pos_j \quad (4.3)$$

Con el fin de disminuir los tiempos de sincronización, solo uno de los LCs es el encargado de enviar el flag de sincronización. Cabe destacar que este hecho no afecta a la modularidad del sistema, ya que el control distribuido propuesto es capaz de reasignar automáticamente la posición 0 a otro LC, si por alguna razón este se desconecta.

Además, para determinar de forma precisa el retardo del LCs respecto al flag de sincronización, el sistema de sincronización asíncrona propuesto permite compensar los tiempos de comunicación y ejecución de tareas de los LCs. Para ello, el tiempo de comunicación t_{Com} y el tiempo de ejecución del bloque de sincronización t_{Synch} , mostrados en la Fig. 4.1, deben restarse del retardo asignado a la portadora, como se muestra a continuación:

$$\text{Delay}_j = T_u \cdot \text{Pos}_j - t_{Com} - t_{Synch}. \quad (4.4)$$

Para definir el periodo de las portadoras es crucial conocer la cantidad de SMs activos del sistema (4.1). Por lo tanto, para definir el periodo y retardo de cada una de las portadoras, es fundamental conocer la posición de cada LC y la cantidad de SMs activos. Para ellos, se utilizan los diagramas de sincronización de las Fig. 4.3. y Fig. 4.4.

Se definen las siguientes variables para ser utilizadas en los diagramas de sincronización:

- ID_j (Tx[0]): Parámetro de identificación del controlador. Es el único valor que cambia en el código programado de cada controlador.
- $\text{ID}_{l \neq j}$ (Rx[0]): Variable de identificación del controlador que envía los datos.
- Pos_j (Tx[1]): Variable de posición, que identifica la portadora que se le ha asignado al controlador j . Es independiente del ID porque se asigna por consenso.
- $\text{Pos}_{l \neq j}$ (Rx[1]): Variable de posición del controlador que envía los datos.

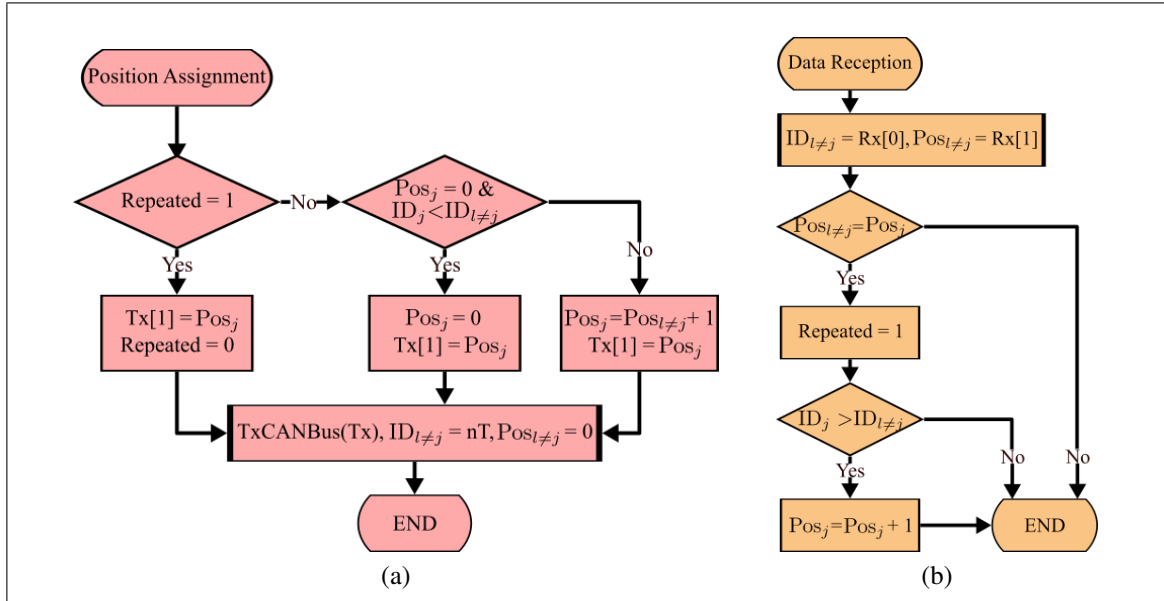


Figura 4.3. Algoritmos para la asignación de posiciones. (a) Etapa “Synchronization”. (b) Etapa “Reception”.

4.3.1. Asignación de posición

El algoritmo del diagrama de la Fig. 4.3b se ejecuta en la etapa “Reception” de la Fig. 4.1, concretamente cuando hay un flag de recepción de datos. Este algoritmo se encarga de almacenar los datos recibidos, en las variables $ID_{l \neq j}$ y $Pos_{l \neq j}$. A continuación, se compara la posición actual del controlador j con la recibida del controlador l , que no puede ser la misma. En caso de posiciones repetidas, se utiliza la variable “Repeated” para notificar a la etapa “Synchronization” y generar un cambio de posición del controlador si $ID_j > ID_{l \neq j}$.

Por otro lado, el algoritmo presentado en el diagrama de la Fig. 4.3a se ejecuta cuando se genera un Update, es decir, en la etapa “Synchronization” de la Fig. 4.1. En primer lugar, esta etapa comprueba el valor de la variable “Repeated”. Si es igual a 1, el dato se almacena directamente en la variable de transmisión ($Tx[1]$). Pero, si no hay repetición de posición se asigna la posición 0 al controlador j en caso de que $Pos_j = 0$ e $ID_j < ID_{l \neq j}$, de lo contrario, se asigna la posición Pos_j después de $Pos_{l \neq j}$, manteniendo así un sistema

secuencial de posiciones en los LCs. Finalmente, los datos de sincronización ID_j y Pos_j se transmiten a los demás LCs.

Así, los algoritmos de control presentes en los diagramas de la Fig. 4.3 garantizan una posición única para cada controlador, desde 0 hasta $N - 1$.

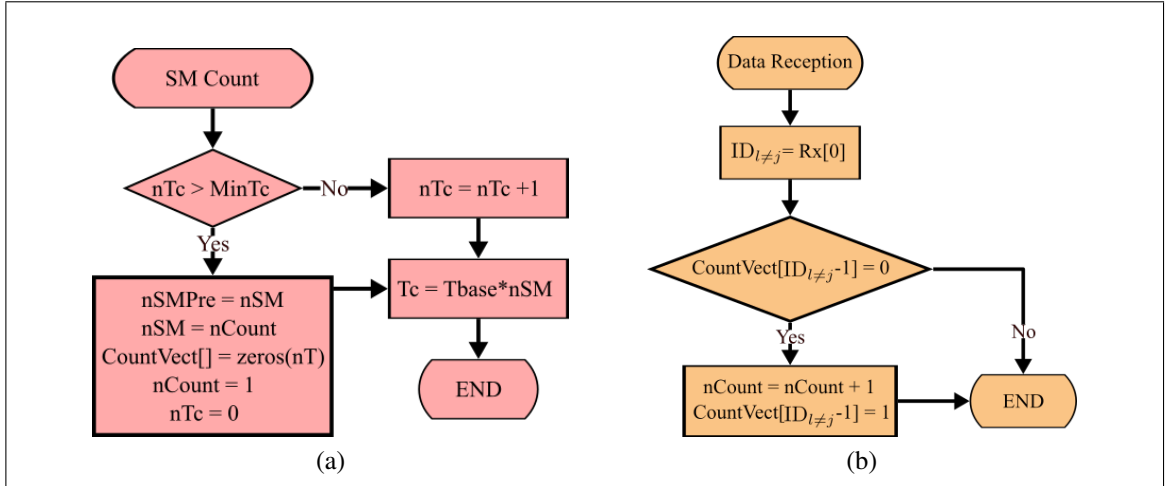


Figura 4.4. Algoritmos para el conteo de SMs. (a) Etapa “Synchronization”. (b) Etapa “Reception”.

4.3.2. Conteo de SMs

El algoritmo mostrado en el diagrama de la Fig. 4.4b se lleva a cabo en la etapa “Reception”, tras la ejecución del algoritmo de la Fig. 4.3b. El vector “CountVect” se utiliza para identificar los módulos activos del sistema. Este registra un 1 en la columna $ID_{l \neq j} - 1$ del vector si el SM l está activo, y un 0 en caso contrario. La variable “nCount” se utiliza para mantener un recuento de los módulos activos del sistema.

Por otro lado, algoritmo del diagrama de la Fig. 4.4a se ejecuta en la etapa “Synchronization”, tras finalizar el algoritmo de la Fig. 4.3a. Este se encarga de contar los SMs durante “MinTc” periodos de la portadora. El conteo se realiza para más de un periodo, dado que en el transiente de sincronización pueden haber portadoras con diferentes frecuencias, por lo que un solo período no garantizaría la recepción de datos de todos los LCs

activos. Posteriormente, con el número de SMs definido “nSM”, se calcula el periodo de la portadora multiplicando el periodo base por el número de SMs activos, donde “Tbase” $= 2T_u$. En caso de cambiar el valor de la variable “nSM” es necesario ajustar de forma inmediata algunos parámetros de control, para ello se utiliza la variable “nSMPre”, que almacena el valor anterior “nSM”, como se muestra en la Fig. 4.4a.

4.3.3. Conclusión del capítulo

Este capítulo valida la implementación del esquema de control propuesto en la sección 3. Se describe el funcionamiento del esquema distribuido, el cual permite proporcionar tiempo suficiente para realizar cada una de las tareas de control y comunicación. Además, se integra una estrategia de modulación dinámica, que permite ajustar de forma automática el periodo de las portadoras en base al número de SMs activos, con el fin de fijar una ventana de tiempo suficiente para la comunicación y los cálculos de control, garantizando la escalabilidad del esquema de control distribuido propuesto. En consecuencia, la modulación dinámica propuesta fija la frecuencia de conmutación a la salida del convertidor, independiente del número de SMs conectados, lo que entrega ventajas en el filtro de salida del convertidor.

Por último, se describe el sistema de sincronización propuesto, encargado de coordinar las portadoras, independiente del número de SMs conectados y con la capacidad de responder ante la conexión o desconexión de algún SM, resincronizando las portadoras de forma automática. También se describen las variables utilizadas, las que son comunicadas en forma broadcast entre los distintos LCs activos.

5. IMPLEMENTACIÓN EXPERIMENTAL

En este capítulo se describen las consideraciones de hardware y software más importantes para llevar a cabo la implementación experimental, con el objetivo de proporcionar resultados que demuestren la eficacia del control distribuido propuesto. En primer lugar, se describe cada uno de los componentes de hardware utilizados, detallando lo desarrollado en este trabajo. En segundo lugar, a partir de los componentes de hardware utilizados, se describen las ecuaciones y consideraciones de software necesarias para la implementación experimental.

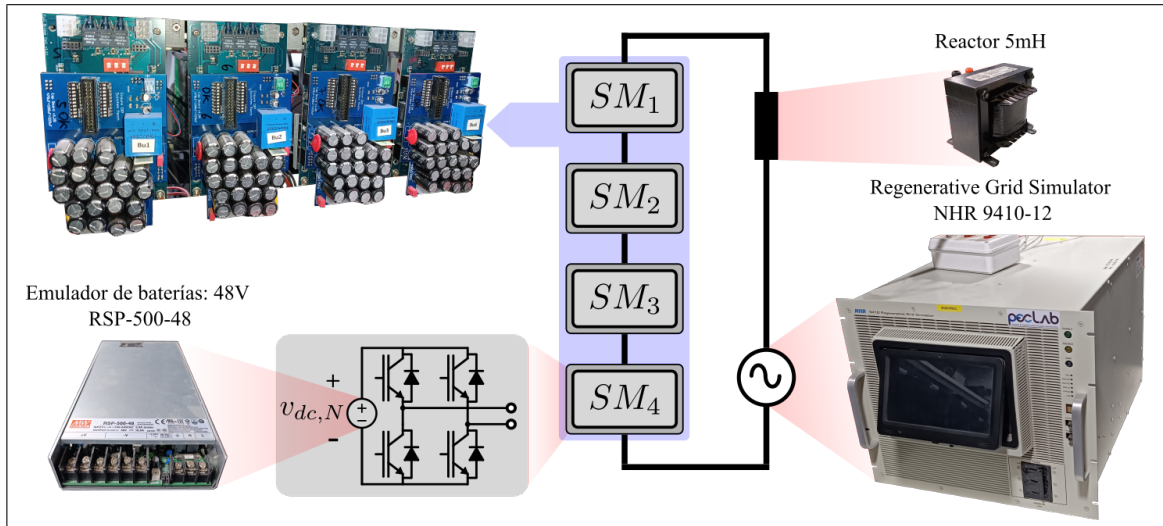


Figura 5.1. Prototipo experimental.

5.1. Implementación de hardware

El esquema de control distribuido propuesto se implementó en un cluster de un convertidor CHB a escala de laboratorio, con la finalidad de validar la viabilidad y evaluar su funcionamiento. El prototipo experimental se muestra en la Fig. 5.1. Cada SM se compone por un full-bridge con MOSFETs (Infineon IPW65R041CFD). La salida del convertidor CHB es conectada a la red, considerada como un bus infinito, a través de un inductor.

Y, cada SM es alimentado por fuentes DC fijas de 48 V (RSP-500-48), en reemplazo de las baterías. El voltaje de la red fue generado mediante un simulador de red NHR 9410-12.

A continuación, se presentan y describen los LCs utilizados en cada uno de los SMs del conversor, junto a los componentes necesarios para su implementación experimental.

5.1.1. Descripción de LCs utilizados

Los LCs distribuidos en los SMs son implementados mediante procesadores de señal digital (DSPs) TMS320F28379D de Texas Instrument, como se muestra en la Fig. 5.4. Estos microcontroladores son una potente unidad de punto flotante de 32 bits, diseñados para aplicaciones avanzadas de control, accionamiento de motores, inversores, vehículos eléctricos, entre otras. Posee un doble núcleo que aumenta el rendimiento del sistema, cada uno con 200 MHz de rendimiento de procesamiento de señales. Con el fin de acelerar el desarrollo del dispositivo se utilizó el kit de desarrollo C2000, específicamente la tarjeta de desarrollo "Delfino F28379D LaunchPad". Esta se integra con una plataforma estandarizada y fácil de usar, y cuenta con todas las capacidades necesarias para realizar las tareas descritas en la Fig. 4.2. A continuación, se describen las capacidades más importantes para lograr las tareas del control distribuido propuesto:

- **Comunicación CAN:** Integra dos canales para comunicación CAN, los que se rigen según la norma ISO 11898-1. La tasa de bits puede programarse a valores de hasta 1 Mbps. La tarjeta Delfino cuenta con un transceptor integrado para uno de los módulos CAN. Este transceptor es necesario para permitir la conexión del Bus CAN a la capa física y, también, es el encargado de recibir y enviar las señales de comunicación. Adicionalmente, se integran interrupciones al momento de recibir señales del bus CAN, dando prioridad a esta tarea para lograr una sincronización precisa entre los distintos LCs.
- **Canales ADC:** Posee canales ADC con resolución de 12 y 16 bits, los cuales pueden ser configurados como entradas Single-Ended (SE) o Differential-Ended (DE). En esta aplicación se utilizan canales ADC con una resolución de 12 bits y

en modo SE, lo cual es suficiente para obtener una correcta lectura de las señales del sistema.

- **Generador PWM:** Los periféricos PWM de la placa de desarrollo poseen un contador de 16 bits de resolución, el que puede ser programado en distintos modos de operación. También, soportan un control de fase e interrupciones programables, características que son cruciales para la implementación del esquema de sincronización propuesto. Para esta aplicación se utiliza el modo de conteo Up-Down, generando interrupciones en el pico y valle de la señal, tal y como se presentó en el control propuesto.
- **Oscilador:** El oscilador interno de este microcontrolador es de 10 MHz. Este valor varía debido a la tolerancia de construcción de estos dispositivos. En particular, esta placa de desarrollo posee un valor mínimo de 9.7 MHz y un máximo de 10.3 MHz. Por lo tanto, a pesar de utilizar LCs idénticos, la variación en sus osciladores genera una asincronía inevitable entre los dispositivos. Sin embargo, existe una buena tolerancia de los osciladores, por lo que esta asincronía se puede corregir mediante el método de sincronización propuesto en la sección 4.3.

En conclusión, la tarjeta de desarrollo "Delfino F28379D LaunchPad" cumple con los requerimientos base para llevar a cabo la implementación experimental del control distribuido propuesto.

5.1.2. Placa interfaz SM-LC

Con el objetivo de conectar las tarjetas Delfino a cada uno de los SMs del convertidor, se diseñó una placa PCB de interfaz con la capacidad de ajustar cada una de las señales compartidas entre los SMs y los LCs, como se muestra en la Fig. 5.2. Además, se consideran pines para la comunicación CAN. A continuación, se describen los puntos más importantes para el diseño de la placa interfaz.

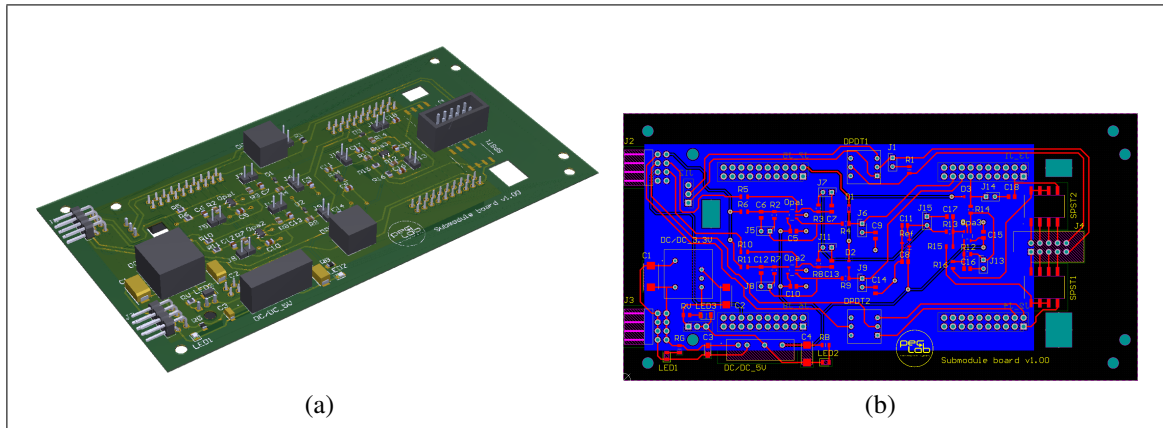


Figura 5.2. Placa PCB de interfaz LC-SM. (a) Modelo 3D. (b) Diseño de PCB

5.1.2.1. Comunicación

Debido a que las DSP cuentan con todo lo necesario para realizar la comunicación, las señales se enviaron directamente al bus de comunicación CAN. Sin embargo, para robustecer y dar flexibilidad a la conexión de las placas se integró un par de interruptores, uno con la capacidad de desconectar el canal de comunicación de ser necesario y otro para habilitar una resistencia de terminal del bus de comunicación. Esta última se debe habilitar solo si el LC se encuentra en los extremos del bus CAN.

5.1.2.2. Señales PWM

Las señales PWM son enviadas directamente a cada uno de los SMs. Esto debido a que cada SM ya cuenta con las etapas necesarias para crear el negado de cada PWM con sus respectivos tiempos muertos y los drivers para activar cada uno de los IGBTs del Puente-H. Por lo tanto, la DSP se encarga de enviar 3 señales al SM, dos correspondientes a las señales de conmutación, una por pierna, y otra encargada de activar o desactivar (enable) el paso de las PWM a los drivers, con el fin de poder conectar o desconectar algún SM de forma abrupta.

5.1.2.3. Señales ADC

El censado de señales se hace a través de los pines ADC de la DSP. Para ello, el conversor utilizado cuenta con sensores de corriente y voltaje para cada uno de los SMs. Sin embargo, los rangos de voltaje de estas señales no son adecuados para los rangos permitidos en las DSP. Por esta razón, el diseño de la PCB integra un acondicionador de señal capaz de cambiar la excursión y generar un offset para que estas puedan ser leídas por la DSP.

El conversor utiliza un sensor de corriente “HAX25” y un sensor de voltaje “HV25”, ambos con una salida de corriente de excursión máxima de $\pm 25mA$. Para el acondicionamiento de esta señal se utiliza un amplificador operacional (Opamp) diferencial “OPA607QDBVRQ1”, el cual permite cambiar los rangos de voltaje entre entrada y salida, y aislar las tierras de los sensores y la DSP. El rango máximo de voltaje admitido como entrada diferencial corresponde al valor de alimentación del Opamp. En base a los límites del dispositivo, se utiliza un voltaje de alimentación de 5V y tierra. Por lo tanto, es necesario conectar una resistencia de 100Ω para convertir la señal de corriente, proveniente de los sensores, en una señal de voltaje con una excursión de $\pm 2.5V$, el cual cumple con los rangos permitido por el Opamp.

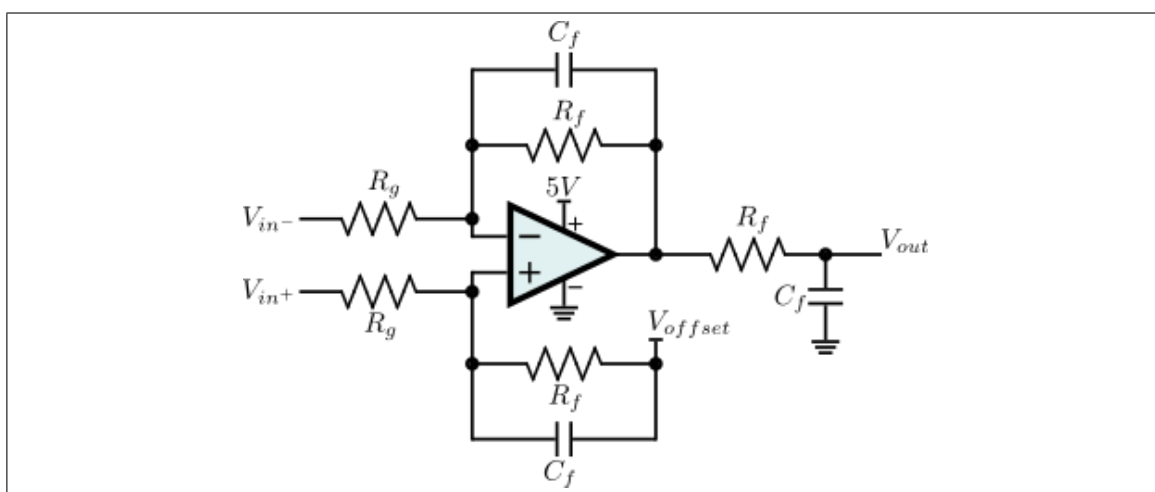


Figura 5.3. Circuito acondicionador de señal.

Por otro lado, la DSP admite un voltaje de entrada en el rango $[0V, 3.3V]$. Por lo tanto, para cumplir con estas especificaciones se utiliza el circuito acondicionador mostrado en la Fig. 5.3. La Eq. 5.1 define la ganancia del circuito, con lo cual se obtuvo el valor de cada una de las resistencias.

$$V_{out} = V_{offset} + \frac{R_f}{R_g} \cdot (V_{in^+} - V_{in^-}) \quad (5.1)$$

donde

$$V_{offset} = 1.6V \quad R_f = 590\Omega \quad R_g = 1k\Omega \quad (5.2)$$

Por lo tanto, se tiene un rango máximo de salida del circuito acondicionador de señal de $[0.124V, 3.075V]$, que se encuentra dentro de los valores aceptados por la DSP.

Por último, se integra un filtro de segundo orden en el acondicionador, el cual es sintonizado utilizando diagramas de bode en LTSpice. Para ello, se buscó disminuir la frecuencia de corte del filtro sin generar un desfase en la señal medida. Con lo cual, se llegó a la conclusión de utilizar un capacitor de $C_f = 2nF$ para el filtro.

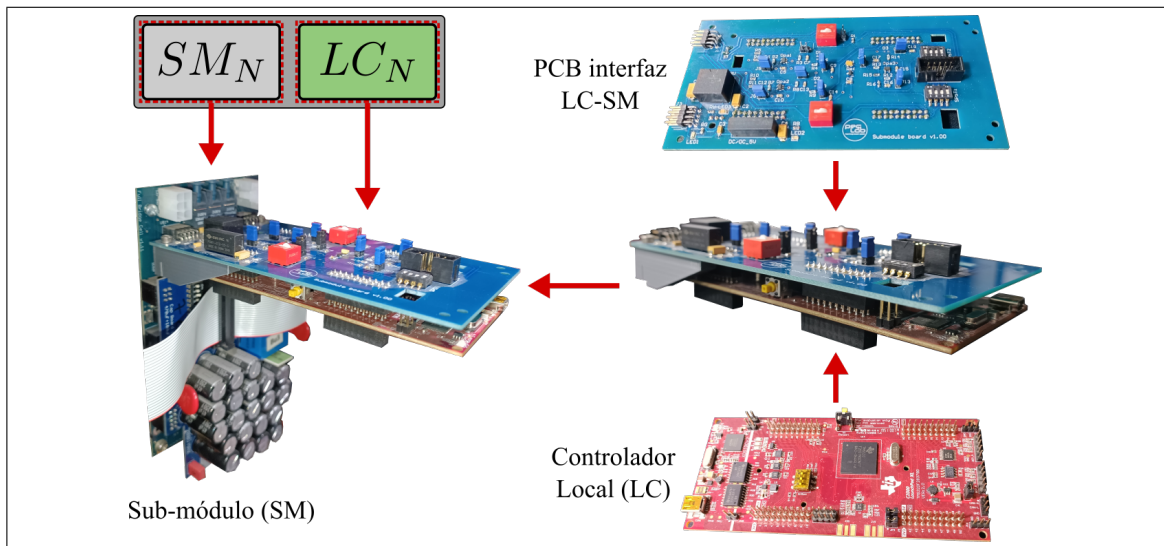


Figura 5.4. Conexión experimental de controlador local integrado a un submódulo del cluster.

En la Fig. 5.2 se observa el diseño de la placa PCB, que cuenta con cada una de las consideraciones anteriormente mencionadas. Además, en la Fig. 5.4 se puede ver la conexión experimental de la placa de interfaz con la DSP y un SM del convertor, completando así cada uno de los bloques del esquema de control distribuido propuesto.

En consecuencia, si integramos las entradas y salidas de los procesos de control y comunicación de cada LC (Fig. 4.2) al prototipo experimental descrito en esta sección, se obtiene el sistema completo de conexiones para el control distribuido propuesto en un cluster del convertor CHB conectado a la red, como se presenta en la Fig. 5.5.

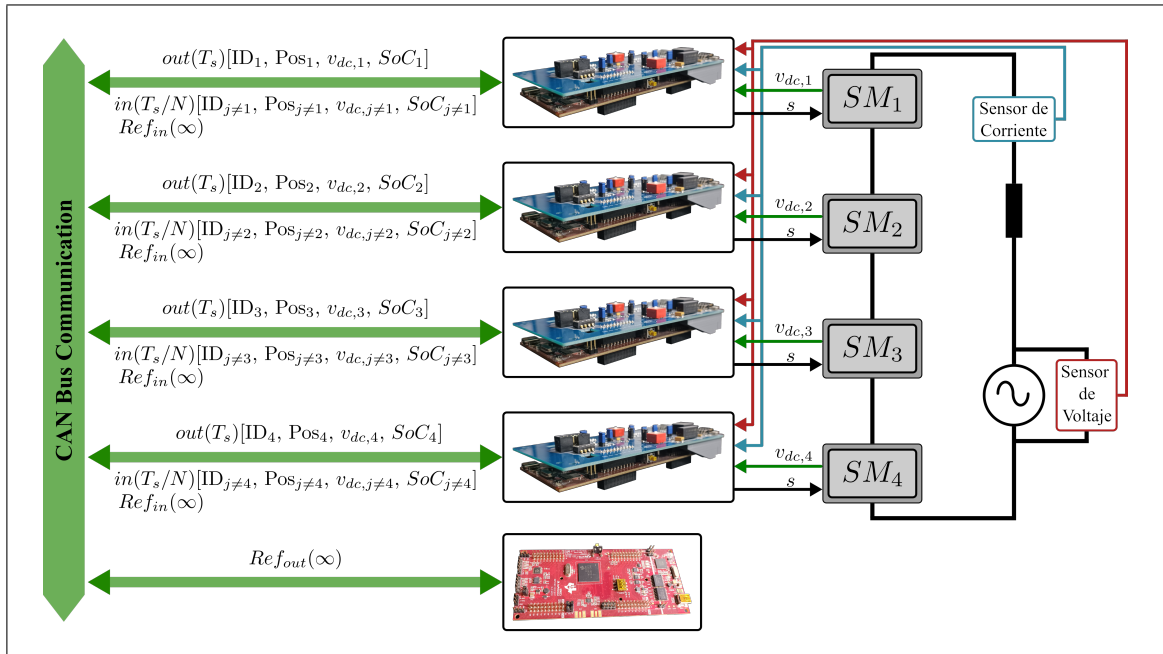


Figura 5.5. Esquema experimental del control distribuido propuesto en un cluster del convertor CHB conectado a la red.

5.2. Implementación de software

La implementación experimental del control requiere de algunas consideraciones de software en base a los componentes de hardware utilizados. Por ejemplo, debido a la programación de bajo nivel, necesaria para la implementación del esquema de sincronización

propuesto, se utiliza el programa "Code Composer Studio". Este programa facilita el acceso a cada uno de los registros y permite optimizar el procesamiento del microcontrolador. A continuación, se describen las consideraciones más importantes de software para la implementación real del esquema propuesto.

5.2.1. PS-MPC

En base al esquema distribuido propuesto, la DSP se configura para enviar las señales de control en los picos y valles de las portadoras. Por ende, surge la necesidad de calcular los ciclos de trabajo para $k + 1$, ya que la lectura de señales y los cálculos de control para el instante k se calculan posterior a la generación de un Update en ese mismo instante, tal como se aprecia en la Fig 4.1. Por lo tanto, en base a la ecuación del ciclo de trajo óptimo $d_j^{opt}(k)$ (Eq. 3.22), se describe la siguiente ecuación:

$$d_j^{opt}(k + 1) = -W_j(k + 1)^{-1}F_j(k + 1) \quad (5.3)$$

donde

$$\begin{aligned} W_j(k + 1) &= B_j^T B_j + \lambda, \\ F_j(k + 1) &= B_j^T (A_i(k + 1) + h_j(k + 1) - i^*(k + 2)) - \lambda d_j^*(k + 1). \end{aligned} \quad (5.4)$$

A continuación, se describe cada una de las variables y parámetros necesarios para obtener el valor de $d_j^{opt}(k + 1)$, en base al sistema experimental propuesto de un cluster del conversor CHB.

a) A, B_j

Estos parámetros se obtienen de la ecuación de tiempo discreto (Eq. 3.14). En el caso de utilizar baterías, el voltaje irá cambiando a lo largo del tiempo, sin embargo, el cambio entre dos periodos de tiempo es despreciable, por lo que se asume que el voltaje de las

baterías es constante entre dos periodos de tiempo.

$$A = 1 - \frac{r}{L}T_s, \quad B_j = T_s \frac{1}{L}v_{dc,j} \quad (5.5)$$

En base a estos parámetros se puede asumir que $W_j(k) = W_j(k+1)$.

b) $i^*(k+2)$

Esta variable corresponde a la referencia de corriente de un instante futuro. El valor se obtiene en base al ángulo del voltaje de la red proveniente de un PLL, denotado como θ y, al ángulo ϕ y amplitud i^{Peak} , dados por el operador central, tal y como se muestra en la Fig 3.3. De este modo, se tiene lo siguiente:

$$i^*(k+t) = \sin(\theta(k+t) + \phi) \cdot i^{Peak} \quad (5.6)$$

donde t corresponde al desfase discreto de la corriente de referencia, el cual, en este caso, es $t = 2$.

c) $d_j^*(k+1)$

El ciclo de trabajo de referencia para $k+1$ se calcula a partir de la ecuación para obtener $d_j^*(k)$ (Eq. 3.27), como se muestra a continuación:

$$d_j^*(k+1) = \frac{2i^*(k+2) - 2Ai^*(k+1) - 2Ev_g(k+1) - \sum_{l=1, l \neq j}^N B_l d_j^*(k)}{2B_j + \sum_{l=1, l \neq j}^N B_l} \quad (5.7)$$

donde

$$E = -T_s \frac{1}{L}. \quad (5.8)$$

Por su parte, los valores de corriente de referencia se presentan en la Eq. 5.6, y el voltaje de la red en $k+1$, $v_g(k+1)$, se obtiene a partir de las ecuaciones utilizadas para el PLL (Eq. 5.24).

d) $h_j(k+1)$

Para calcular esta variable se utilizan los ciclos de trabajo de los demás SMs, por lo que se utiliza la aproximación propuesta en la Eq. 3.26. A continuación, se presenta la ecuación utilizada para el cálculo experimental.

$$h_j(k+1) = Ev_g(k+1) + \sum_{l=1, l \neq j}^N B_l \bar{d}_l(k+1) \quad (5.9)$$

donde

$$\bar{d}_l(k+1) = \frac{d_j^*(k+1) + d_j^*(k)}{2} \quad (5.10)$$

Esta última ecuación es válida cuando se tienen señales moduladoras iguales para todos los SMs, lo cual se garantiza con el control distribuido propuesto.

e) $i(k+1)$

Para el cálculo de ciclo de trabajo en $k+1$ es necesario obtener el valor de corriente medida en ese mismo instante de tiempo. Para ello, se utilizan las ecuaciones del modelo para estimar el valor de $i(k+1)$ en base a la corriente medida $i(k)$, como se muestra a continuación.

$$i(k+1) = Ai(k) + B_j d_j^*(k) + Ev_g(k) + \sum_{l=1, l \neq j}^N B_l \bar{d}_l(k) \quad (5.11)$$

Como se aprecia, se utiliza el ciclo de trabajo de referencia $d_j^*(k)$ para hacer la estimación y el ciclo de trabajo de los demás SMs, el cual se obtiene a partir de la Eq. 5.10.

f) λ

Este parámetro representa el peso para sintonizar el controlador PS-MPC. Su valor es calculado de forma heurística, utilizando como punto de partida los valores obtenidos en simulación. Se utilizan distintos valores según el punto de operación, ya que al realizar pruebas, con distintos SMs conectados, es necesario variar el voltaje de la red para no generar una sobre-modulación o sub-modulación del control del convertidor, como se explica en la sección 6.

5.2.2. Bucle de fase bloqueada (PLL)

Para el correcto funcionamiento de un convertor conectado a la red es necesario que el sistema de control reciba como entrada el ángulo de fase de la red, con el objetivo de poder controlar el tipo de potencia que se inyecta. El encargado de realizar esta tarea es un bucle de fase bloqueada (PLL), el cual utiliza un control PI para reducir el ángulo entre la fase de la tensión de salida del convertor y del voltaje de la red. Existen diversas técnicas de sincronización con la red. En esta aplicación se utiliza un PLL junto a un integrador generalizado de segundo orden (SOGI), la cual se basa en la generación de señales de cuadratura adaptativas en frecuencia, inmunes al cambio de frecuencia de la red y con cierta capacidad de filtrado. En la Fig. 5.6 se presenta un diagrama de bloques con cada una de las etapas del SOGI-PLL. A continuación, se describe su implementación, basado en el reporte de aplicación de Texas Instrument (Bhardwaj, 2017).

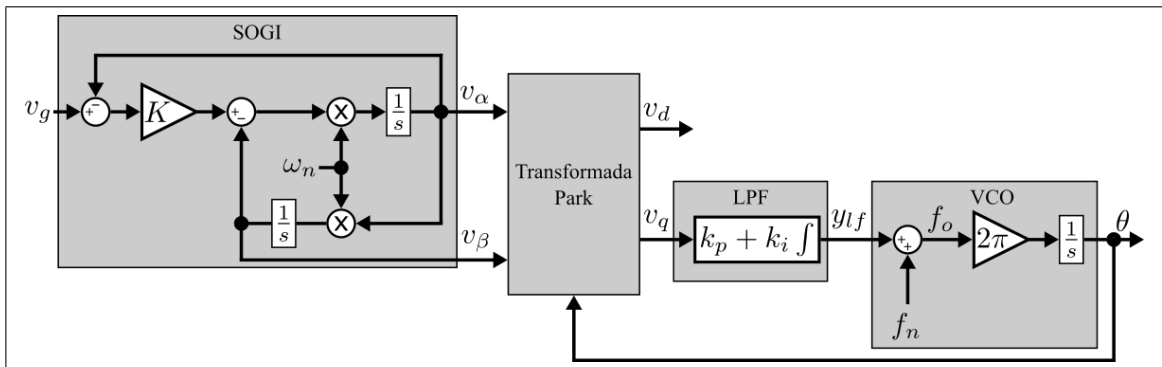


Figura 5.6. PLL monofásico basado en un integrador generalizado de segundo orden (SOGI-PLL).

En primer lugar, se tiene una etapa de generación de señales ortogonales, necesaria para el caso de una red monofásica. Para ello, se utiliza la estructura basada en un SOGI (Fig. 5.6). La ventaja de este método radica en que se puede sintonizar para rechazar las frecuencias de señales distintas a la de la red. La función de transferencia puede escribirse como se muestra a continuación:

$$H_d(s) = \frac{v_\alpha}{v_g}(s) = \frac{K\omega_n s}{s^2 + K\omega_n s + \omega_n^2}, H_q(s) = \frac{v_\beta}{v_g}(s) = \frac{K\omega_n^2}{s^2 + K\omega_n s + \omega_n^2} \quad (5.12)$$

donde ω_n corresponde a la frecuencia natural de la red y K a la ganancia del controlador. Utilizando aproximación trapezoidal es posible convertir las ecuaciones de tiempo continuo presentadas en la Eq. 5.12 en expresiones de tiempo discreto. A continuación, se presentan las ecuaciones discretas utilizadas en la implementación real del convertidor.

$$v_\alpha(k) = b_0 \cdot (v_g(k) - v_g(k-2)) + a_1 \cdot v_g(k-1) + a_2 \cdot v_g(k-2) \quad (5.13)$$

$$v_\beta(k) = qb_0 \cdot v_\alpha(k) + qb_1 \cdot v_\alpha(k-1) + qb_2 \cdot v_\alpha(k-2) + a_1 \cdot v_g(k-1) + a_2 \cdot v_g(k-2) \quad (5.14)$$

donde

$$\begin{aligned} b_0 &= p_x \cdot p_z, & a_1 &= 2(4 - p_y)p_z, & a_2 &= (p_x - p_y - 4) \cdot p_z, \\ qb_0 &= K \cdot p_y \cdot p_z, & qb_1 &= 2 \cdot qb_0, & qb_2 &= qb_0 \end{aligned} \quad (5.15)$$

y

$$p_x = 2 \cdot K \cdot \omega_n \cdot T_s, \quad p_y = (\omega_n \cdot T_s)^2, \quad p_z = \frac{1}{p_x + p_y + 4} \quad (5.16)$$

Con las señales ortogonales es posible utilizar la transformada de Park para obtener las componentes directas y en cuadratura. A continuación, se presentan las ecuaciones correspondientes:

$$v_q(k) = \cos(2\pi \cdot \theta(k))v_\alpha(k) + \sin(2\pi \cdot \theta(k))v_\beta(k) \quad (5.17)$$

$$v_d(k) = \cos(2\pi \cdot \theta(k))v_\beta(k) - \sin(2\pi \cdot \theta(k))v_\alpha(k) \quad (5.18)$$

A continuación, según como se muestra en la Fig. 5.6, se sigue con el filtro de bucle (LPF). El ángulo de fase de la señal v_g se expresa en la variable en cuadratura del sistema, por lo que, el LPF se aplica sobre v_q , tal como se describe en la siguiente ecuación:

$$y_{lf}(k) = y_{lf}(k-1) + lfb_0 \cdot v_q(k) + lfb_1 \cdot v_q(k-1) \quad (5.19)$$

donde

$$lfb_0 = \frac{2k_p + k_i \cdot T_s}{2}, \quad lfb_1 = -\frac{2k_p - k_i \cdot T_s}{2} \quad (5.20)$$

En esta línea, con la sintonización de las ganancias k_p y k_i es posible ajustar la velocidad de respuesta del sistema. Esta sintonización se realiza a través del software Matlab y, también, de forma experimental, según el punto de operación del sistema.

Finalmente, la etapa VCO se encarga de generar el ángulo de la red. Para ello, se utiliza la variable f_o , la cual almacena el valor de la frecuencia real de la red. Esta se calcula a partir de la frecuencia natural f_n y del valor obtenido en la etapa LPF, tal como se muestra a continuación:

$$f_o = f_n + y_{lf}(k) \quad (5.21)$$

Esta frecuencia se utiliza para ajustar el ángulo del sistema y realizar el proceso de sincronización con la red. El ángulo resultante, utilizado para generar la corriente de referencia de la Eq. 5.6, se calcula como sigue:

$$\theta(k) = \theta(k-1) + T_s \cdot 2\pi \cdot f_o \quad (5.22)$$

Para el cálculo de las ecuaciones del SOGI-PLL, es primordial conocer la tasa de muestreo de la señal medida, que en el esquema de control propuesto es igual al periodo de la portadora T_s . Por lo tanto, para la implementación experimental se utiliza un algoritmo de ajuste automático de los parámetros de control de la Eq. 5.20 cuando existe un cambio en el número de SMs conectados, ya que esto implica un cambio en el periodo de las portadoras y, por ende, un cambio en la tasa de muestreo del voltaje de la red.

Por último, para calcular el voltaje futuro de la red $v_g(k+1)$ es posible compensar el ángulo del vector de voltaje para un tiempo de muestreo, como se muestra en la siguiente ecuación:

$$v_g(k+1) = v_g(k)e^{j\Delta\theta} \quad (5.23)$$

donde $\Delta\theta = \omega T_s$ es el avance angular del vector en un intervalo de muestreo y ω es la frecuencia angular del voltaje de la red. De ello, mediante la fórmula de Euler se obtiene

la siguiente ecuación para el voltaje de red futuro.

$$v_g(k+1) = v_\alpha(k) \cos(T_s \cdot 2\pi \cdot f_o) - v_\beta(k) \sin(T_s \cdot 2\pi \cdot f_o) \quad (5.24)$$

5.2.3. Control de potencia

Como se describió en la sección 5.1, la implementación real se realizó mediante fuentes DC fijas de 48V, lo que en estricto rigor no permite corroborar el funcionamiento del control SoC propuesto. Sin embargo, se realizan algunas suposiciones y comparaciones para validar su funcionamiento.

En primer lugar, se asume que de forma experimental no existe un cambio en el SoC de las baterías en un periodo corto de tiempo. Por lo tanto, es posible analizar el control propuesto si existen diferencia entre los SMs en alguna de las variables de las baterías (Eq. 3.29). Para ello, se asigna por software un valor de capacidad efectiva Q_j igual para todos los SMs y un valor de SoC_j distinto para cada uno de los SMs, mientras que para el voltaje v_j se utiliza el medido desde las fuentes DC fijas. De esta manera, la diferencia de los estados de cargas de las baterías generará un cambio en la potencia entregada por cada uno de los SMs, pudiendo verificar el control de potencia propuesto para un instante de tiempo.

En segundo lugar, para verificar el funcionamiento del control a lo largo del tiempo, se realiza una comparación de los resultados experimentales con resultados obtenidos por simulación. Para obtener una comparación válida, la simulación utiliza los mismos parámetros eléctricos que la parte experimental. Sin embargo, en esta ocasión si se utilizan baterías. La capacidad efectiva Q_j de los módulos de las baterías se modifica para que se descarguen rápidamente, y así, obtener resultados en un tiempo de simulación razonable.

Por último, se compara la potencia obtenida por cada SM en la parte experimental con los resultados de la simulación. Si en ambos casos son iguales, entonces es posible validar la comparación planteada. Por lo tanto, mediante la simulación es posible verificar

que ocurriría con los SoC de las baterías a lo largo del tiempo de forma experimental, y examinar el comportamiento del control de potencia propuesto.

5.3. Conclusión del capítulo

En este capítulo se describe la implementación experimental del esquema de control distribuido propuesto en un cluster de un convertidor CHB a escala de laboratorio. Se detalla cada uno de los componentes utilizando, con mayor énfasis en lo trabajado por esta tesis. En este sentido, se detallan los LCs utilizados y el hardware de interfaz necesario para conectarlos a los SMs del convertidor.

En base a los componentes de hardware utilizados, se describen las ecuaciones y consideraciones necesarias para la implementación experimental del esquema de control propuesto. En esta línea, se describen y analizan los ajustes del control de corriente PS-MPC y el PLL utilizado para sincronizarse con la red. Por último, se desarrollan las consideraciones para validar el control SoC de las baterías a escala de laboratorio.

6. RESULTADOS EXPERIMENTALES

En este capítulo se presentan los resultados bajo diferentes escenarios y puntos de operación del prototipo experimental de un cluster de un convertidor CHB a escala de laboratorio. La adquisición de datos de forma experimental se realiza mediante un osciloscopio Tektronix MSO46. Los parámetros eléctricos se listan en la tabla 6.1. Se observan valores distintos del voltaje de la red, esto con el fin de obtener distintos niveles de tensión en base a la cantidad de SMs activos. También, se aprecia una frecuencia de carrier variable $f_c = 10/N$ kHz, lo cual se debe al esquema de control distribuido propuesto, donde la frecuencia de conmutación de salida aparente del conversor se mantiene constante, $f_{clr} = 10\text{kHz}$.

Tabla 6.1. Parámetros de sistema

Variable	Descripción	Experimental
f	Frecuencia de red	50Hz
V_g	Voltaje de red	75, 100 V_{rms}
V_{dc}	Fuente de voltaje DC	48 V
L	Inductancia del filtro	7 mH
r	Resistencia del filtro	0.6 Ω
N	Número de SMs	1-4
f_c	Frecuencia de portadora	10/ N kHz

Para las pruebas experimentales dinámicas se envían señales a través de la variable *Ref* (Fig. 4.2) por medio del Bus CAN. Con la cual es posible activar y desactivar SMs, realizar cambios de referencia del control y activar el control de potencia. Cabe mencionar que estas señales no juegan ningún rol en el funcionamiento principal del control, solo cambian los puntos de operación del conversor según lo requiera el operador.

A continuación, se muestran y discuten los resultados experimentales realizados.

6.1. Sincronización de portadoras

Como primera prueba, fundamental para una correcta operación del control distribuido, se verifica el funcionamiento de la sincronización de las portadoras. Para ello, se utiliza una salida GPIO de cada uno de los LCs, para enviar una señal cuando se genera una interrupción en el peak (escalón positivo) y valle (escalón negativo) de la portadora. En la Fig. 6.1 se presentan dos pruebas experimentales que validan el proceso de sincronización automática, donde los canales Ch1, Ch2, Ch3 y Ch4 corresponden a los SMs 1, 2, 3 y 4 respectivamente.

Por un lado, en la Fig. 6.1a se observa el comportamiento de los algoritmos de sincronización al conectar un nuevo SM al sistema. Se aprecia como al inicio existen 3 SMs activos, con un periodo de $600\mu s$ y un desfase entre portadoras de 60° . Luego, en $t = 0$ se envía una señal para activar el SM_2 , que se muestra en el CH2. El resto de los SMs detecta esta nueva conexión a través del bus de comunicación, por lo que comienzan con una etapa de resincronización. Para ello, se realiza un conteo de la nueva cantidad de SMs activos, con los algoritmos de la Fig. 4.4, para establecer el nuevo periodo de las portadoras. En paralelo a esto, mediante los algoritmos de la Fig. 4.3, se asigna una posición única a cada uno de los SMs, para establecer el desfase entre cada una de las portadoras. De esta manera, en alrededor de 2.4 ms las portadoras de los LCs logran resincronizarse, con un periodo de $800\mu s$ y un desfase de 45° .

Por otro lado, en la Fig. 6.1b, se tiene un sistema con 4 SMs activos al inicio, donde las portadoras poseen un periodo de $800\mu s$ y un desfase de 45° . Luego, en $t = 0$, se realiza la desconexión del primer SM, que en este caso corresponde al encargado de enviar las señales de sincronización ($Pos_1 = 0$), caso crítico de desconexión. Como respuesta a la falta de señal del LC_1 , los demás SMs detectan la desconexión y de forma automática realizan una nueva sincronización, en consecuencia, el periodo de las portadoras cambia a $600\mu s$ con un desfase de 60° . Esta prueba demuestra el hecho de que ningún SM es imprescindible para el funcionamiento del conversor, ya que, a pesar de desconectar el

SM encargado de enviar las señales de sincronización el resto de los SMs lo detecta y asignan a un LCs con la posición 0, siendo el nuevo encargado de enviar las señales de sincronización.

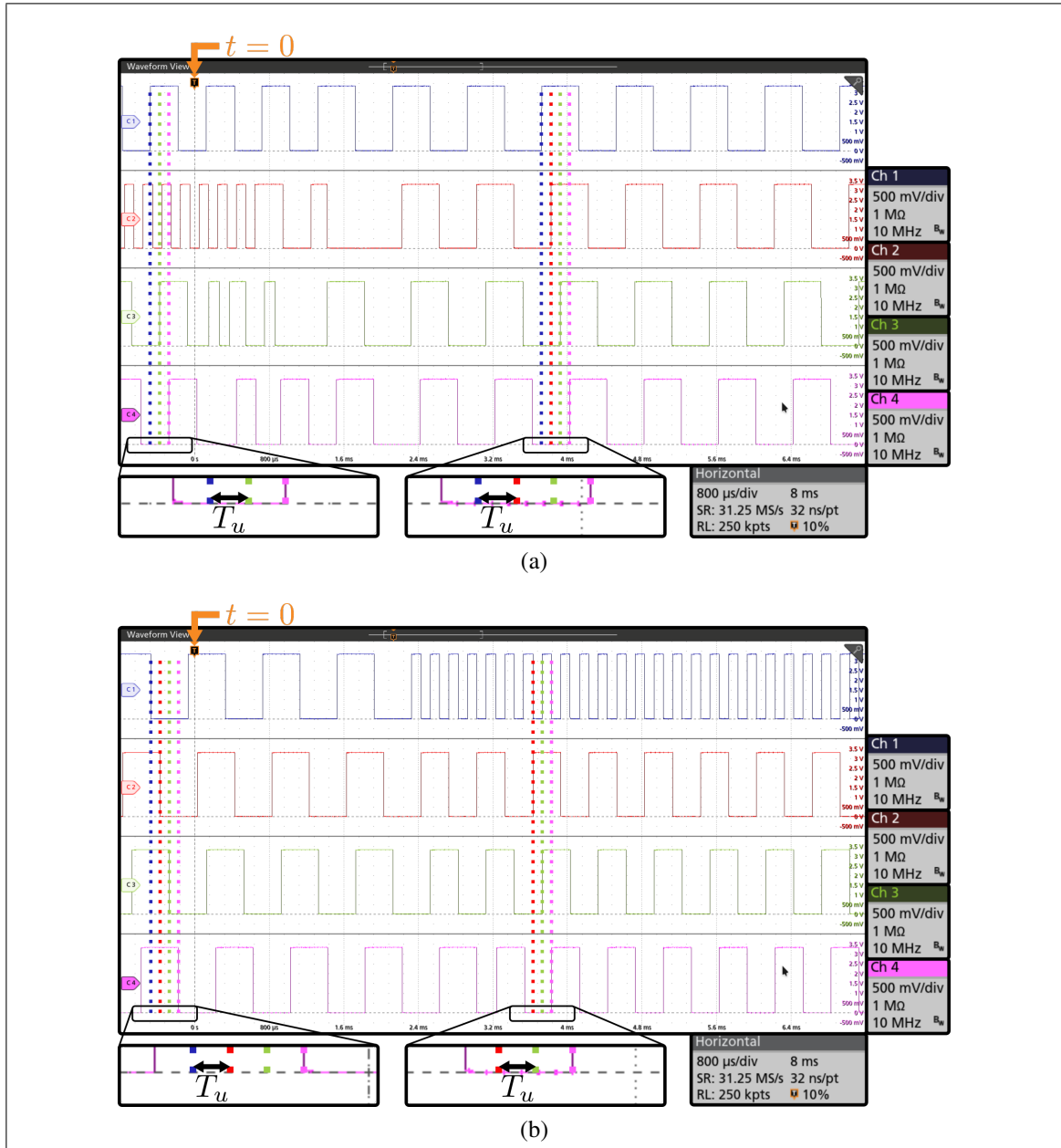


Figura 6.1. Sincronización de portadoras ante un cambio en el número de SMs conectados. (a) Conexión SM_2 (Ch2). (b) Desconexión SM_1 (Ch1).

Por lo tanto, ambas pruebas evidencian una correcta sincronización entre portadoras, con desfases acorde a la cantidad de SMs activos. Además, se muestra el proceso de reconfiguración automática de periodo y fase de las portadoras, manteniendo constante la frecuencia de conmutación a la salida del convertor y las ventanas de tiempo T_u para la comunicación y control. Lo que corrobora la escalabilidad y modularidad del esquema de sincronización propuesto.

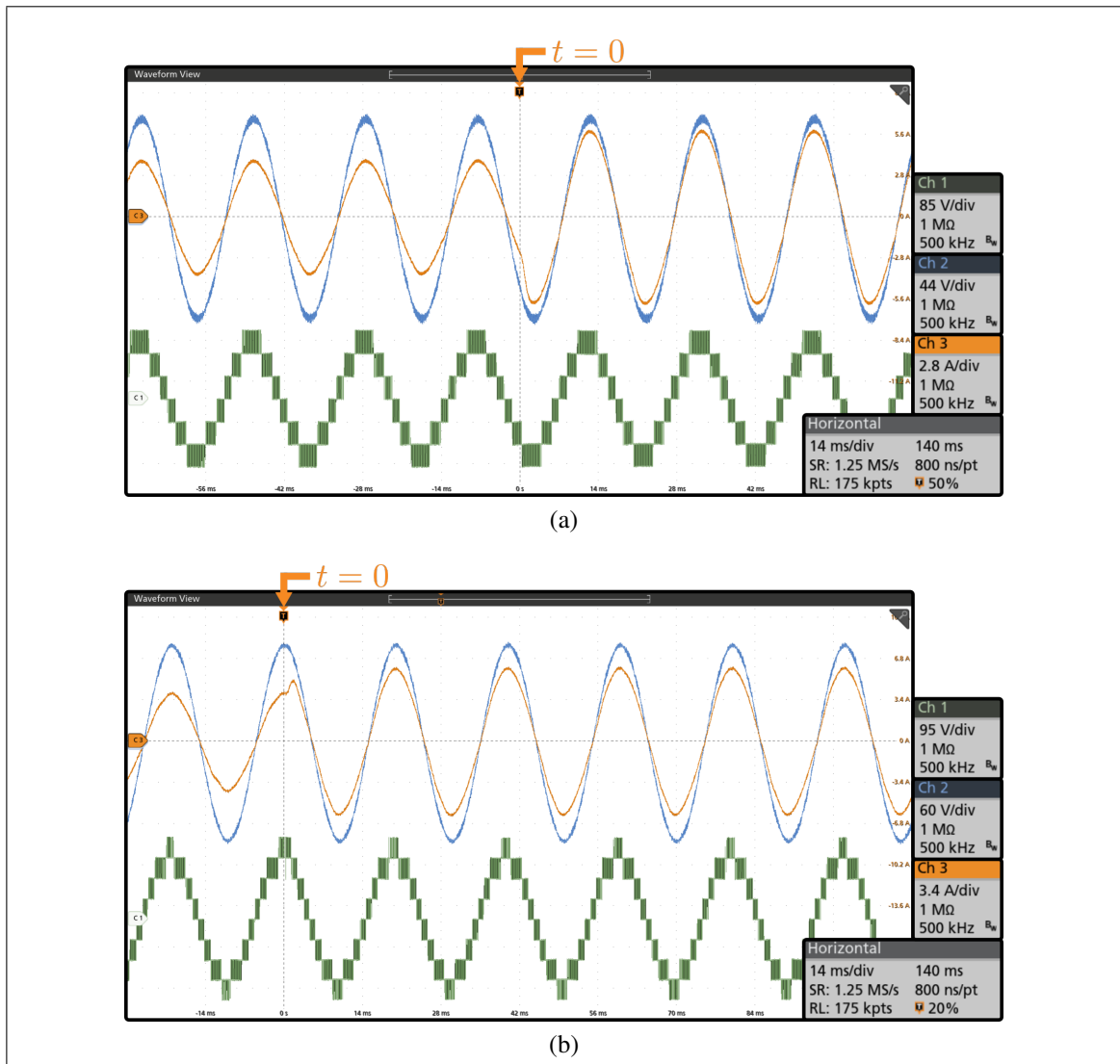


Figura 6.2. Respuesta dinámica experimental en lazo cerrado del PS-MPC ante un escalón de corriente de 4A a 6A, bajo el algoritmo de sincronización propuesto. (a) 3 SMs activos. (b) 4 SMs activos.

6.2. Control de corriente PS-MPC

Los resultados experimentales del control de corriente se obtuvieron mediante pruebas con distinta cantidad de SMs activos. Para conseguir todos los niveles de voltaje el convertidor sin sobremodulación, se conectó a una red con un voltaje adecuado a la cantidad de SMs activos, como se muestra en la Fig. 6.2. La Fig. 6.2a muestra el resultado experimental de tener 3 SMs activos, conectado a una red de 75 Vrms, para obtener los 7 niveles de voltaje. Por otro lado, la Fig. 6.2b muestra el comportamiento del convertidor al tener 4 SMs activos. En este caso se conecta a una red de 100 Vrms, con el fin de obtener los 9 niveles de voltaje.

En ambos casos, de la Fig. 6.2, se aprecia la dinámica ante un escalón de corriente de referencia de 4A a 6A en $t = 0$, en distintos puntos de operación. Se observa una rápida respuesta del control y una simetría perfecta en los niveles de voltaje del cluster, lo que evidencia la sincronización estable de las portadoras, independiente del número de SMs conectados. También, se corrobora el correcto funcionamiento del SOGI-PLL, implementado en cada uno de los SMs, el cual mantiene la sincronización de la corriente y el voltaje de la red.

6.3. Análisis de espectro de frecuencia

Los resultados experimentales en la Fig. 6.3, muestran el espectro de frecuencia del voltaje del cluster en estado estacionario, con 3 y 4 SMs activos. En la Fig. 6.3a se aprecia el espectro de frecuencia de tener 3 SMs activos, entregar una corriente de 6A y estar conectado a una red de 75 Vrms. Por otro lado, en la Fig. 6.3b se tiene 4 SMs activos y se conecta a una red de 100 Vrms. Estas pruebas se realizaron conectados a una red con distinto voltaje para así no tener sobremodulación cuando hay 3 SMs y para obtener los 9 niveles de voltaje cuando hay 4 SMs activos. Además, esto permite tener un índice de modulación similar en ambos casos, a pesar de estar funcionando en otro punto de operación, lo cual mejora la comparación de ambas pruebas experimentales.

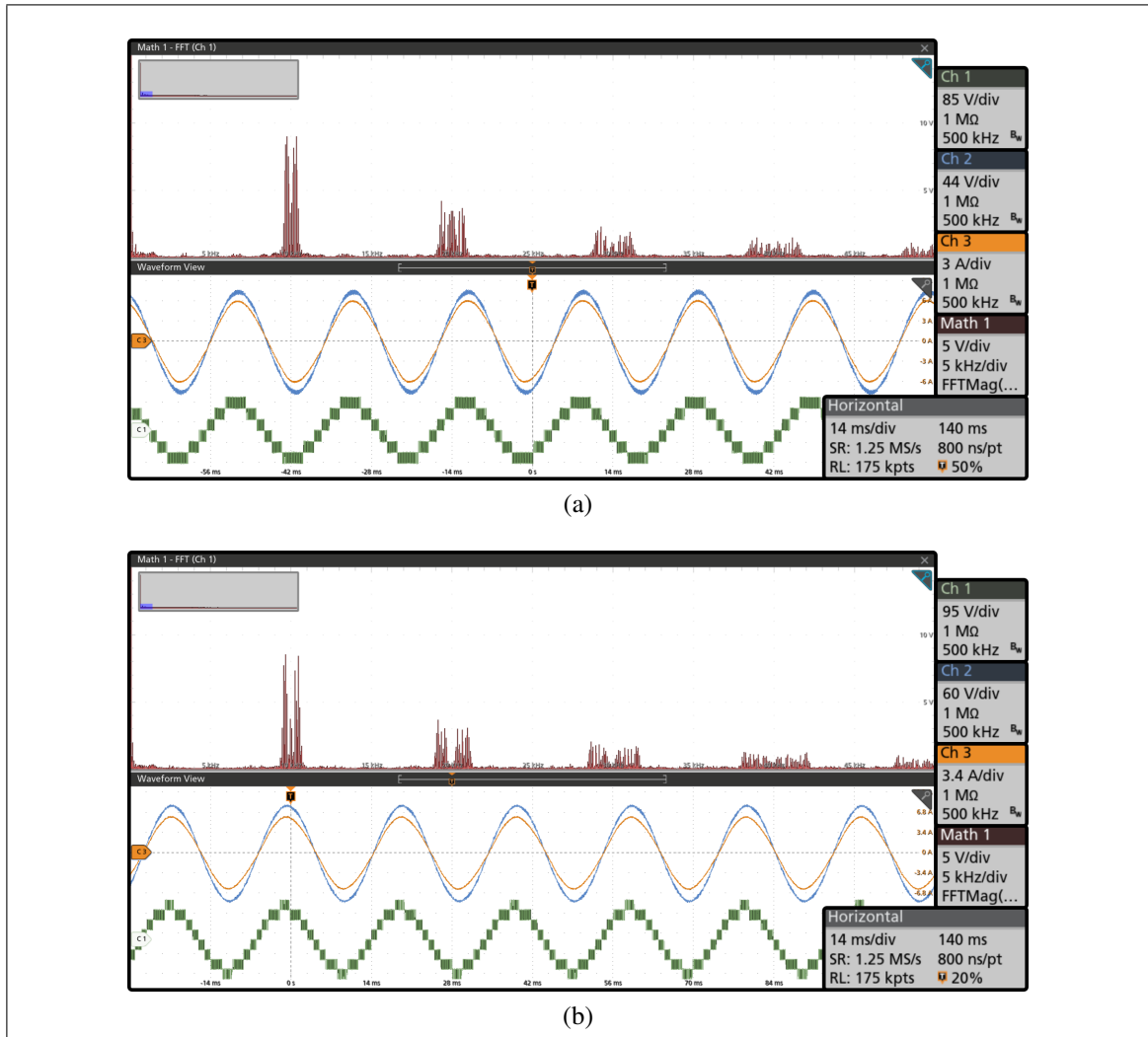


Figura 6.3. Rendimiento experimental en lazo cerrado en estado estacionario del PS-MPC bajo el algoritmo de sincronización propuesto. (a) Resultado con 3 SMs activos, (b) Resultado con 4 SMs activos.

Las FFT de voltaje del cluster de la Fig. 6.3 corroboran el correcto funcionamiento de la modulación PS-PWM, ya que eliminan el contenido armónico de baja frecuencia y presentan un espectro de frecuencia fijo, que puede filtrarse fácilmente. Por otro lado, se observa que en ambas pruebas experimentales los armónicos poseen amplitudes similares y se encuentran centrados en los mismos valores de frecuencia. Esto valida el funcionamiento de la sincronización de fase y periodo en base a la cantidad de SMs activos

propuesto, con una frecuencia de conmutación invariable de 10 kHz a la salida del cluster. Por lo tanto, sin importar la cantidad de SMs activos, los armónicos se mantendrán siempre en los mismos valores de frecuencia, lo que evidencia la ventaja en el filtrado del voltaje del cluster.

6.4. Conexión y desconexión de SMs

Para la conexión o desconexión de algún SM, el operador envía una señal a los LCs a través del Bus CAN, con lo cual se desactiva la comunicación y la generación de señales PWM del SMs. Estas pruebas se realizan con 3 y 4 SMs, en ambos casos conectados a una red de 75 Vrms, punto de operación que genera 7 niveles de voltaje a la salida del cluster. De esta manera, es posible mostrar la dinámica evitando sobremodulación cuando hay 3 SMs conectados, mientras que cuando hay 4 SMs activos existe un SM redundante, pero esto no es un problema para el funcionamiento normal del convertidor.

Los resultados experimentales en la Fig. 6.4 muestran la dinámica del sistema frente a la conexión y desconexión de un SM. Por un lado, en la Fig. 6.4a la dinámica frente a la conexión de un SM, pasando de 3 SMs a 4 SMs activos, mientras se entrega una corriente de 6 A a la red. Por otro lado, la Fig. 6.4b presenta la dinámica frente a la desconexión de uno de los SMs, pasando de 4 SMs a 3 SMs activos, mientras se entrega una corriente de 6 A a la red. En ambos casos en $t = 0$ se observa una perturbación en el voltaje del cluster que se debe a la desincronización momentánea de las portadoras debido al cambio en el número de SMs activos. Sin embargo, los demás LCs detectan este cambio en el sistema y, mediante el esquema de control propuesto, realizan una sincronización y reconfiguración automática de sus portadoras, lo cual permite recuperar la simetría del voltaje del cluster. Este cambio en el número de SMs activos también genera una perturbación en el PLL integrado en cada LC. Esto se debe a que, en el esquema de control propuesto, la tasa de muestreo depende del periodo de las portadoras, por ende, al cambiar el número de SMs activos cambia la tasa de muestreo de las señales medidas. Por esta razón, se integra una reconfiguración automática de los parámetros del PLL en base al número de

SM conectados, lo cual permite adaptarse a la nueva tasa de muestreo, como se muestra en los resultados de la Fig. 6.4.

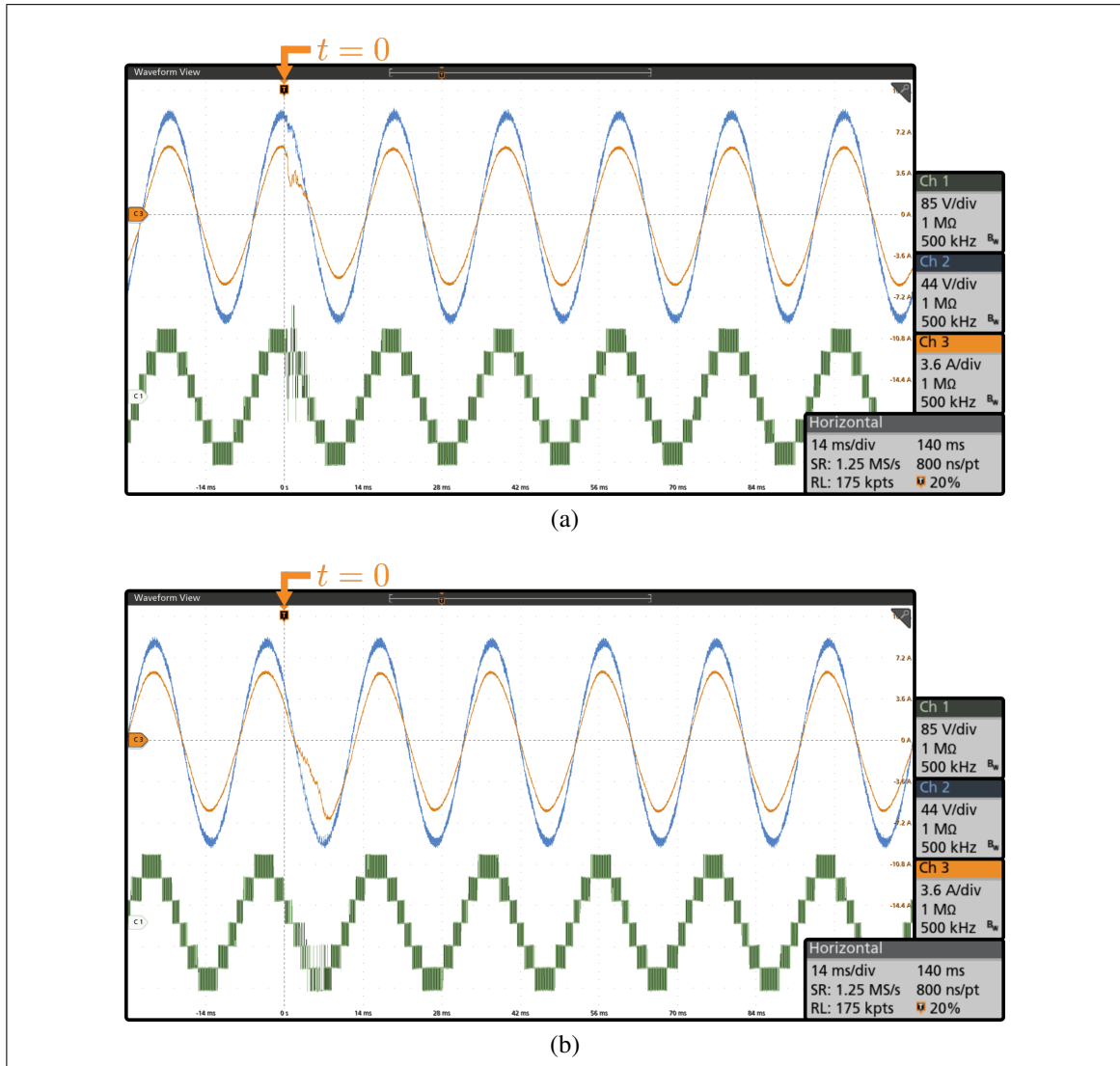


Figura 6.4. Resultados experimentales de la respuesta del sistema a un cambio en el número de SMs conectados. (a) Resultado ante la conexión de un SM, (b) Resultado ante la desconexión de un SM.

Por lo tanto, ante un cambio en el número de SMs activos del cluster, el sistema rápidamente logra reconfigurarse, sin necesidad de detener el funcionamiento del convertor y manteniendo los objetivos globales del convertor. De este modo, se valida la

funcionalidad del esquema de reconfiguración y sincronización automática de portadoras propuesto, mientras el conversor se encuentra inyectando potencia a la red.

Es importante destacar, que, en caso de falla en uno de los SMs, su LC respectivo será quien lo detecte y se desconectará de forma inmediata, sin necesidad de avisar a sus pares. Luego, esta desconexión será detectada por el resto de los LCs, debido a la ausencia de datos en el Bus de comunicación, por lo que estos se reordenaran automáticamente. Este proceso de reconfiguración es igual al que ocurre debido a la desconexión controlada de uno de los SMs. Por lo tanto, en caso de falla, la dinámica será igual a la mostrada en la Fig. 6.4b.

6.5. Control de potencia

Para llevar a cabo las pruebas experimentales, se asigna por software un SoC distinto para cada uno de los LCs, mientras que la capacidad efectiva y el voltaje de las baterías se consideran iguales. De esta manera es posible utilizar fuentes DC fijas en reemplazo de las baterías, considerando la implementación a escala de laboratorio. En la Fig. 6.5a se aprecian los resultados experimentales del control SoC, donde $SoC_1 = 100\%$, $SoC_2 = 90\%$, $SoC_3 = 80\%$ y $SoC_4 = 75\%$. Se observa que el control de potencia se activa en $t = 0$, por consiguiente, se produce un cambio en la potencia entregada por cada SM, en base a los parámetros y variables del cluster. Los LCs comparten sus datos de control y se coordinan para igualar los SoC de todos los SMs en un 30%, para luego continuar descargándose de forma equilibrada. Se aprecia como el SM_1 es el que entrega más potencia, mientras que el SM_4 es el que entrega menos potencia, lo cual es consistente con el control propuesto, ya que el módulo de batería que tiene más carga debe descargarse más rápido, lo que se traduce en entregar más potencia en comparación a los demás.

Por otro lado, como se describió en la sección 5.2.3, para verificar el funcionamiento del control en estado estacionario, se comparan los resultados experimentales con simulaciones hechas en Matlab Simulink. Los resultados de la simulación, con las mismas

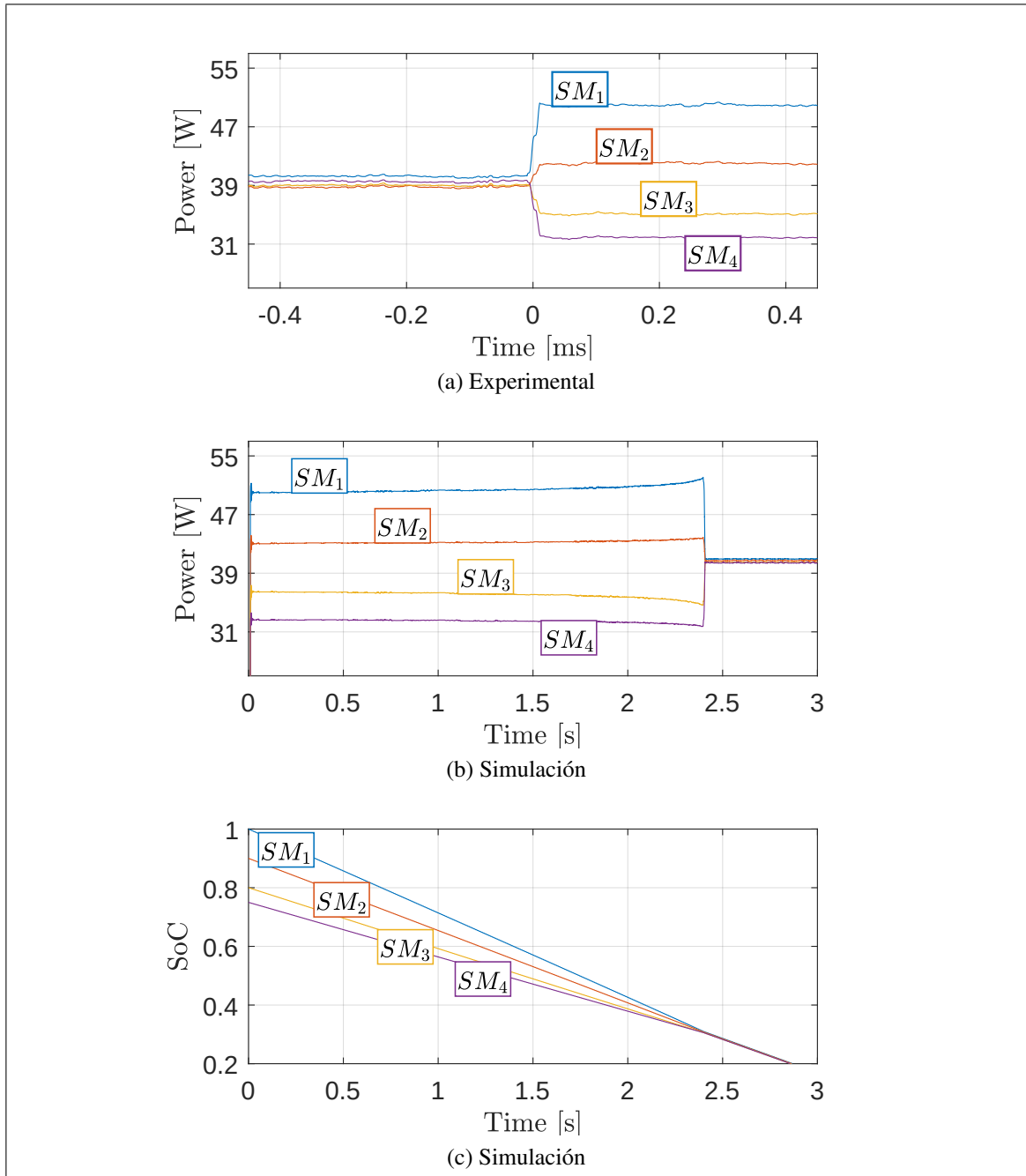


Figura 6.5. Comparación de los resultados experimentales y de simulación del equilibrio del SOC de la batería durante la descarga. (a) Resultado experimental de la potencia entregada por cada SM, (b) Resultado de simulación de la potencia entregada por cada SM, (c) Resultado de simulación del SOC de la batería.

características eléctricas y de control que la prueba experimental, se muestran en la Fig. 6.5b. Contrastando con los resultados experimentales de la Fig. 6.5a, es posible validar la comparación para ver lo que sucedería con el SoC de las baterías a lo largo del tiempo, ya que se aprecia una similitud en las potencias entregadas por cada uno de los SMs.

Por lo tanto, en base a la misma simulación, en la Fig. 6.5c se muestran los SoC de cada uno de los SMs a lo largo del tiempo, con un estado inicial igual que el descrito en la prueba experimental. Se aprecia como las baterías poseen distintas tasas de descarga, lo cual se debe a la diferencia de potencia que están entregando cada uno de los SMs. Luego, debido a esta diferencia en la tasa de descarga se aprecia como los SoC de las baterías se igualan al llegar al 30%, tal y como se estableció en los parámetros de control.

En conclusión, mediante ambas pruebas es posible validar los resultados experimentales obtenidos en la Fig. 6.5a. Donde se aprecia la posibilidad de igualar los SoC de las baterías en un valor deseado por el operador, lo que tiene sentido considerando que el voltaje de las baterías baja de forma abrupta después de cierto porcentaje de carga, dificultando las tareas de control, por lo que es deseable que los SoC se igualen antes de llegar a este punto de operación.

7. CONCLUSIONES

La estructura modular inherente de los CHB presenta diversas ventajas, lo cual permite posicionarlos como una opción preferente para aplicaciones BESS. Sin embargo, esta modularidad se ve limitada por los esquemas de control centralizados actualmente utilizados.

En el capítulo 2 de esta tesis se presentó una revisión, clasificación y definición propia de los esquemas de control existentes en la literatura, con cada una de sus ventajas y desventajas asociadas a una implementación real. Se presentan esquemas descentralizados y distribuidos que buscan contrarrestar los problemas de los controles altamente centralizados. Sin embargo, la mayoría se encarga de disminuir la carga computacional del CC, repartiendo tareas de control en diversos controladores, dejando de lado la posibilidad de mejorar la modularidad de los esquemas de control. En esta línea, se presenta la definición de un esquema de control totalmente distribuido cooperativo con LCs idénticos e independientes, replicando el comportamiento de la estructura de los SMs en un MMCCs. Se plantea que este tipo de esquema de control es capaz de recuperar por completo la modularidad de los MMCCs, pudiendo conectar y desconectar SMs sin necesidad de cambiar las características de control ni detener el funcionamiento del convertidor (O_1).

En el capítulo 3 se describe el modelo del convertidor CHB, que será utilizado para corroborar el funcionamiento del esquema de control distribuido propuesto. También, se describe parte de las propuestas de estas tesis, relacionadas al control de corriente y potencias. Por un lado, se detalla el control de corriente PS-MPC compatible con el esquema de control distribuido propuesto (O_2). Por otro lado, se propone un control del SoC de las baterías, capaz de equiparar sus cargas en un porcentaje deseado y que funciona de forma secuencial al control de corriente sin afectar su funcionamiento (O_3).

La principal propuesta de esta tesis se describe en el capítulo 4, donde se presenta un novedoso esquema de control distribuido que permite aprovechar por completo la modularidad de los MMCCs. El control se basa en el consenso de controladores idénticos, uno

por SM, los que se coordinan en base a un esquema de comunicación broadcast de todos-a-todos, para lograr los objetivos de control locales y globales. Se explicita un método de comunicación y control secuencial que permite generar ventanas de tiempo suficientes para la ejecución de tareas de cada uno de los LCs y comunicación de datos entre cada uno de ellos. En base a esto, se integra un sistema de ajuste automático del periodo de las portadoras, con el fin de fijar la ventana de tiempo T_u y asegurar un espacio suficiente para la comunicación y las tareas de control, sin importar la cantidad de SMs conectados, garantizando la escalabilidad del esquema propuesto. En consecuencia, este ajuste automático del periodo de las portadoras permite fijar la frecuencia de conmutación a la salida del cluster, es decir, se mantienen las características de salida del convertidor independiente del número de SMs conectados, lo cual posee ventajas para el filtro a la salida del convertidor. Por último, se presentan algoritmos que permiten la sincronización automática de los SMs en base a los datos del bus de comunicación. El esquema propuesto permite coordinar las portadoras independiente del número de SMs conectados y con la capacidad de responder de forma automática ante la conexión o desconexión de algún SM (O_4).

La implementación experimental del esquema de control distribuido propuesto se presenta en el capítulo 5. Por un lado, describe cada uno de los componentes de hardware utilizados, con mayor énfasis en lo trabajado en esta tesis. Se detallan los LCs utilizados y el hardware necesario para conectarlos a cada uno de los SMs del convertidor. Por otro lado, se describe en profundidad las consideraciones necesarias para la implementación experimental del esquema de control distribuido propuesto, en base a los componentes de hardware utilizados (O_5).

Los resultados experimentales se presentan en el capítulo 6. Estos son utilizados para verificar y analizar de forma experimental cada uno de los objetivos para el esquema de control distribuido propuesto. Por ende, a partir de los resultados experimentales, se concluye que el control distribuido propuesto es capaz sincronizar los LCs, independiente del número de SMs conectados y con la capacidad de adaptarse de forma automática ante la conexión o desconexión de algún SM (O_4). Por su parte, la implementación del PS-MPC,

dentro del esquema de control distribuido, mostró una rápida respuesta dinámica, comparable con la de un esquema de control centralizado (O_2). También, se observó la capacidad de los LCs de adaptarse automáticamente ante la desconexión o conexión de algún SM, sin necesidad de detener el funcionamiento del conversor, y manteniendo el mismo espectro armónico a la salida del cluster, independiente del número de SMs conectados (O_4). Por último, el control de potencia implementado en cada LC evidenció su capacidad de descargar las baterías de forma equilibrada (O_3).

De esta manera, el objetivo general de este trabajo se logra en base a los objetivos específicos descritos a lo largo de esta sección. Por otro lado, la hipótesis central de esta tesis se valida mediante las siguientes hipótesis parciales:

- H_1 El control totalmente distribuido cooperativo propuesto, basado en el consenso de LCs idénticos, permite conectar y desconectar SMs sin detener el funcionamiento del conversor, manteniendo sus objetivos de control.
- H_2 La estrategia de modulación dinámica propuesta, fija la frecuencia de conmutación del cluster y, por ende, mantiene las características del voltaje independiente del número de SMs conectados. Además, esta estrategia de modulación establece una ventana de tiempo invariable para la comunicación y control, garantizando la escalabilidad del sistema.
- H_3 El control de estado de carga de baterías propuesto permite operar de forma independiente a cada SM del cluster, basándose en los datos distribuidos entre los SM, a través del esquema de comunicación broadcast de todos-a-todos.

En consecuencia, el esquema de control totalmente distribuido cooperativo propuesto se presenta como una alternativa completamente modular para aplicación en BESS, ofreciendo un alto rendimiento, escalabilidad y un sistema en el cual ningún LC es imprescindible para garantizar el correcto funcionamiento del conversor.

Como trabajo futuro, se pretende extender el esquema de control distribuido propuesto a otros MMCCs. Asimismo, se analizarán las modificaciones necesarias para su implementación conectado a una red trifásica, incluyendo otros tipos de control del sistema como el control Inter-Cluster.

REFERENCIAS

Aguilera, R. P., Acuna, P., Su, X., Lezana, P., & McGrath, B. (2017). Sequential phase-shifted model predictive control for multicell power converters. In *2017 IEEE Southern Power Electronics Conference (SPEC)* (p. 1-6). doi: 10.1109/SPEC.2017.8333644

Battery storage in the united states: An update on market trends (Tech. Rep.). (2020). U.S. Energy Information Administration.

Bhardwaj, M. (2017). *Software phase locked loop design using c2000™ microcontrollers for single phase grid onnected inverter* (Tech. Rep.). Texas Instrument.

Cuzmar, R. H., Pereda, J., & Aguilera, R. P. (2021). Phase-shifted model predictive control to achieve power balance of chb converters for large-scale photovoltaic integration. *IEEE Transactions on Industrial Electronics*, 68(10), 9619-9629. doi: 10.1109/TIE.2020.3026299

Dan Burlacu, P., Mathe, L., & Teodorescu, R. (2014). Synchronization of the distributed pwm carrier waves for modular multilevel converters. In *2014 international conference on optimization of electrical and electronic equipment (optim)* (p. 553-559). doi: 10.1109/OPTIM.2014.6851001

Delavari, A., Kamwa, I., & Zabihinejad, A. (2017). A comparative study of different multilevel converter topologies for battery energy storage application. In *2017 IEEE 30th Canadian Conference on Electrical and Computer Engineering (CCECE)* (p. 1-5). doi: 10.1109/CCECE.2017.7946773

del Valle, J. A., Anseán, D., Carlos Viera, J., Antuña, J. L., González, M., & García, V. (2018). Analysis of advanced lithium-ion batteries for battery energy storage systems. In *2018 IEEE International Conference on Environment and Electrical Engineering and 2018*

ieee industrial and commercial power systems europe (eeeic / icps europe) (p. 1-6). doi: 10.1109/EEEIC.2018.8493934

Dragoun, J., Talla, J., & Košan, T. (2021). Control of multilevel chb converter for battery energy storage system. In *2021 ieee 19th international power electronics and motion control conference (pemc)* (p. 836-842). doi: 10.1109/PEMC48073.2021.9432533

Dutta, S., Mallik, R., Majmunovic, B., Mukherjee, S., Seo, G.-S., Maksimovic, D., & Johnson, B. (2019). Decentralized carrier interleaving in cascaded multilevel dc-ac converters. In *2019 20th workshop on control and modeling for power electronics (compel)* (p. 1-6). doi: 10.1109/COMPEL.2019.8769699

Farivar, G. G., Manalastas, W., Tafti, H. D., Ceballos, S., Sanchez-Ruiz, A., Lovell, E. C., ... Pou, J. (2022). Grid-connected energy storage systems: State-of-the-art and emerging technologies. *Proceedings of the IEEE*, 1-24. doi: 10.1109/JPROC.2022.3183289

Geng, H., Li, S., Zhang, C., Yang, G., Dong, L., & Nahid-Mobarakeh, B. (2017). Hybrid communication topology and protocol for distributed-controlled cascaded h-bridge multilevel statcom. *IEEE Transactions on Industry Applications*, 53(1), 576-584. doi: 10.1109/TIA.2016.2614629

Hannan, M., Lipu, M. H., Ker, P. J., Begum, R., Agelidis, V. G., & Blaabjerg, F. (2019). Power electronics contribution to renewable energy conversion addressing emission reduction: Applications, issues, and recommendations. *Applied Energy*, 251, 113404. doi: 10.1016/j.apenergy.2019.113404

Hillers, A., & Biela, J. (2013). Optimal design of the modular multilevel converter for an energy storage system based on split batteries. In *2013 15th european conference on power electronics and applications (epe)* (p. 1-11). doi: 10.1109/EPE.2013.6634660

Hillers, A., Stojadinovic, M., & Biela, J. (2015). Systematic comparison of modular multilevel converter topologies for battery energy storage systems based on split batteries.

In *2015 17th european conference on power electronics and applications (epe'15 ecce-europe)* (p. 1-9). doi: 10.1109/EPE.2015.7309385

Huang, S., Teodorescu, R., & Mathe, L. (2013). Analysis of communication based distributed control of mmc for hvdc. In *2013 15th european conference on power electronics and applications (epe)* (p. 1-10). doi: 10.1109/EPE.2013.6634711

Kong, W., Holmes, D. G., & McGrath, B. P. (2011). Decentralized control of a cascaded h-bridge multilevel converter. In *2011 ieee international symposium on industrial electronics* (p. 188-193). doi: 10.1109/ISIE.2011.5984155

Kurbatova, T., & Perederii, T. (2020). Global trends in renewable energy development. In *2020 ieee khpi week on advanced technology (khpiweek)* (p. 260-263). doi: 10.1109/KhPIWeek51551.2020.9250098

Liu, C., Gao, N., Cai, X., & Li, R. (2020). Differentiation power control of modules in second-life battery energy storage system based on cascaded h-bridge converter. *IEEE Transactions on Power Electronics*, 35(6), 6609-6624. doi: 10.1109/TPEL.2019.2954577

Liu, J., Yao, W., Lu, Z., & Ma, J. (2018). Design and implementation of a distributed control structure for modular multilevel matrix converter. In *2018 ieee applied power electronics conference and exposition (apex)* (p. 1934-1939). doi: 10.1109/APEC.2018.8341282

Marzo, I., Sanchez-Ruiz, A., Barrena, J. A., Abad, G., & Muguruza, I. (2021). Power balancing in cascaded h-bridge and modular multilevel converters under unbalanced operation: A review. *IEEE Access*, 9, 110525-110543. doi: 10.1109/ACCESS.2021.3103337

Pali, B. S., & Vadhera, S. (2016). Renewable energy systems for generating electric power: A review. In *2016 ieee 1st international conference on power electronics, intelligent control and energy systems (icpeices)* (p. 1-6). doi: 10.1109/ICPEICES.2016.7853703

Parker, M. A., Ran, L., & Finney, S. J. (2013). Distributed control of a fault-tolerant modular multilevel inverter for direct-drive wind turbine grid interfacing. *IEEE Transactions on Industrial Electronics*, 60(2), 509-522. doi: 10.1109/TIE.2012.2186774

Peng, F., & Wang, J. (2004). A universal statcom with delta-connected cascade multilevel inverter. In *2004 IEEE 35th annual power electronics specialists conference (IEEE Cat. no.04ch37551)* (Vol. 5, p. 3529-3533). doi: 10.1109/PESC.2004.1355099

Phan, Q. D., Gateau, G., Nguyen, P. C., Cousineau, M., To, H. P., Nguyen, B. A., ... Hillesheim, M. (2021). A fast, decentralized, self-aligned carrier method for multicellular converters. *Applied Sciences*, 11(1), 137. doi: 10.3390/app11010137

Q&a – what is can (Tech. Rep.). (2006). Axiomatic Technologies Corporation.

Renewables global status report (Tech. Rep.). (2022). UNEP - UN Environment Programme.

Shafiullah, G. M., Oo, A. M. T., Jarvis, D., Ali, A. B. M. S., & Wolfs, P. (2010). Potential challenges: Integrating renewable energy with the smart grid. In *2010 20th Australasian universities power engineering conference* (p. 1-6).

Showers, S. O., & Raji, A. K. (2019). Benefits and challenges of energy storage technologies in high penetration renewable energy power systems. In *2019 IEEE PES/IAS PowerAfrica* (p. 209-214). doi: 10.1109/PowerAfrica.2019.8928644

Stecca, M., Elizondo, L. R., Soeiro, T. B., Bauer, P., & Palensky, P. (2020). A comprehensive review of the integration of battery energy storage systems into distribution networks. *IEEE Open Journal of the Industrial Electronics Society*, 1, 46-65. doi: 10.1109/OJIES.2020.2981832

Wang, G., Konstantinou, G., Townsend, C. D., Pou, J., Vazquez, S., Demetriades, G. D., & Agelidis, V. G. (2016). A review of power electronics for grid connection of utility-scale battery energy storage systems. *IEEE Transactions on Sustainable Energy*, 7(4),

1778-1790. doi: 10.1109/TSTE.2016.2586941

Wang, H., Yang, S., Chen, H., Feng, X., & Blaabjerg, F. (2020). Synchronization for an mmc distributed control system considering disturbances introduced by submodule asynchrony. *IEEE Transactions on Power Electronics*, 35(12), 12834-12845. doi: 10.1109/TPEL.2020.2993284

Wu, P.-H., Su, Y.-C., Shie, J.-L., & Cheng, P.-T. (2019). A distributed control technique for the multilevel cascaded converter. *IEEE Transactions on Industry Applications*, 55(2), 1649-1657. doi: 10.1109/TIA.2018.2876431

Xavier, L. S., Amorim, W. C. S., Cupertino, A. F., Mendes, V. F., do Boaventura, W. C., & Pereira, H. A. (2019). Power converters for battery energy storage systems connected to medium voltage systems: a comprehensive review. *BMC Energy*, 1, 1-15. doi: 10.1186/s42500-019-0006-5

Xia, B., Li, Y., Li, Z., Konstantinou, G., Xu, F., Gao, F., & Wang, P. (2019). Decentralized control method for modular multilevel converters. *IEEE Transactions on Power Electronics*, 34(6), 5117-5130. doi: 10.1109/TPEL.2018.2866258

Xu, B., Tu, H., Du, Y., Yu, H., Liang, H., & Lukic, S. (2021). A distributed control architecture for cascaded h-bridge converter with integrated battery energy storage. *IEEE Transactions on Industry Applications*, 57(1), 845-856. doi: 10.1109/TIA.2020.3039430

Yang, S., Tang, Y., & Wang, P. (2018). Distributed control for a modular multilevel converter. *IEEE Transactions on Power Electronics*, 33(7), 5578-5591. doi: 10.1109/TPEL.2017.2751254

Zobaa, A. F., & Bose, B. K. (2011). Renewable energy, global warming problem and impact of power electronics. *Renewable Energy and Power Quality Journal*, 1-10. doi: 10.24084/repqj09.003

Çiftçi, B., Schiessl, S., Gross, J., Harnefors, L., Norrga, S., & Nee, H.-P. (2021). Wireless control of modular multilevel converter submodules. *IEEE Transactions on Power Electronics*, 36(7), 8439-8453. doi: 10.1109/TPEL.2020.3045557

ANEXO

A. NOMENCLATURAS

Conversor CHB

N	Número de SMs que componen un cluster
i_χ	Corriente de salida de fase $\chi \in \{a, b, c\}$ [A]
r	Resistencia de cada cluster [Ω]
L	Inductancia de cada cluster [H]
$v_{g\chi}$	Voltaje de red de fase $\chi \in \{a, b, c\}$ [V]
f	Frecuencia de red (Hz)
ω	Frecuencia angular de voltaje de red [rad/s]
v_χ	Voltaje de salida de fase $\chi \in \{a, b, c\}$ [V]
v_{0n}	Voltaje de modo común [V]
$v_{\chi j}$	Voltaje de fase χ y SM j [V]
S_j	Estado de conmutación de SM j
$d_{\chi j}$	Ciclo de trabajo de fase χ y SM j
$v_{dc,\chi j}$	Voltaje DC aislado de fase χ y SM j

PS-MPC

T_s	Periodo de muestreo [s]
T_c	Periodo de portadora [s]
C_j	Portadora de SM j
T_u	Periodo de actualización de ciclos de trabajo [s]
I^*	Corriente peak de referencia [A]
ϕ	Ángulo de desfase entre voltaje de red y corriente de referencia [rad]
λ	Factor de ponderación para control PS-MPC
d_j^{opt}	Ciclo de trabajo óptimo para control de corriente
$\bar{d}_l$	Variables de control inactivas
J_j	Función de costos de SM j

$\bar{d}_{avg}$ Promedio de variables de control inactivas

Control estado de carga

α_j Factor de ponderación para control de estado de carga
 d_j^{SoC} Ciclo de trabajo que integra control de corriente y de estado de carga
 ω_j Factor que define contribución de potencia de SM j
 Q_j Capacidad efectiva de SM j
 SoC_j Estado de carga de SM j
 v_j Voltaje de módulos de baterías de SM j
 φ Porcentaje de encuentro del SoC de las baterías
 P_j^{SoC} Contribución de potencia de SM j con control de SoC de baterías
 P_{clr} Potencia total de cluster
 P_j^{MPC} Contribución de potencia de SM j con PS-MPC

Algoritmos de sincronización

LC_j Controlador local de SM j
 f_{clr} Frecuencia de conmutación aparente del cluster [Hz]
 ID_j Identificación de controlador j
 Pos_j Posición de controlador j
 $Delay_j$ Retardo asignado a la portadora del SM j
 t_{Com} Tiempo que toma la comunicación [s]
 t_{Synch} Tiempo que toma la sincronización [s]